

アップストリームCATVドライバアンプ

概要

MAX3532は、アップストリームケーブルアプリケーション用のプログラマブルパワーアンプです。本デバイスは36dBmV入力で駆動された場合、1:2(電圧比)トランスを通じて最大62dBmV(連続波)を出力します。又、3線デジタルシリアルバスにより、1dBステップの可変利得となっています。動作周波数範囲は5MHz~42MHzです。

MAX3532はハイパワー、低ノイズ及び送信ディセーブルという3つの動作モードを持っています。ハイパワーモードは最高の出力レベルを達成し、低ノイズモードは低出力レベル時に出力ノイズを最小に抑えます。送信ディセーブルモードにおいては、出力ノイズを最小限に抑えたハイアイソレーション状態になります。これは、TDMA機器のバーストとバーストの間で使用します。

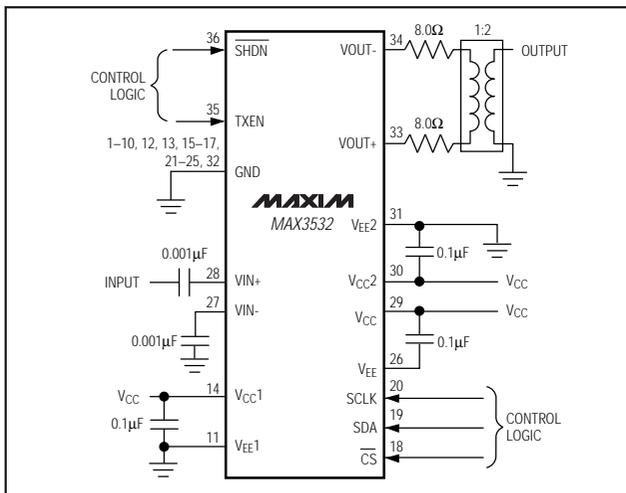
パワーダウンモードも2つあります。ソフトウェアシャットダウンモードではプログラムされた利得設定を維持しつつ、全てのアナログ回路をパワーダウンできます。シャットダウンモードは全ての回路をディセーブルし、消費電流を10 μ A以下に抑えます。

MAX3532は36ピンSSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)のものが用意されています。

アプリケーション

ケーブルモデム ケーブルを介する電話
CATVセットトップボックス

標準動作回路



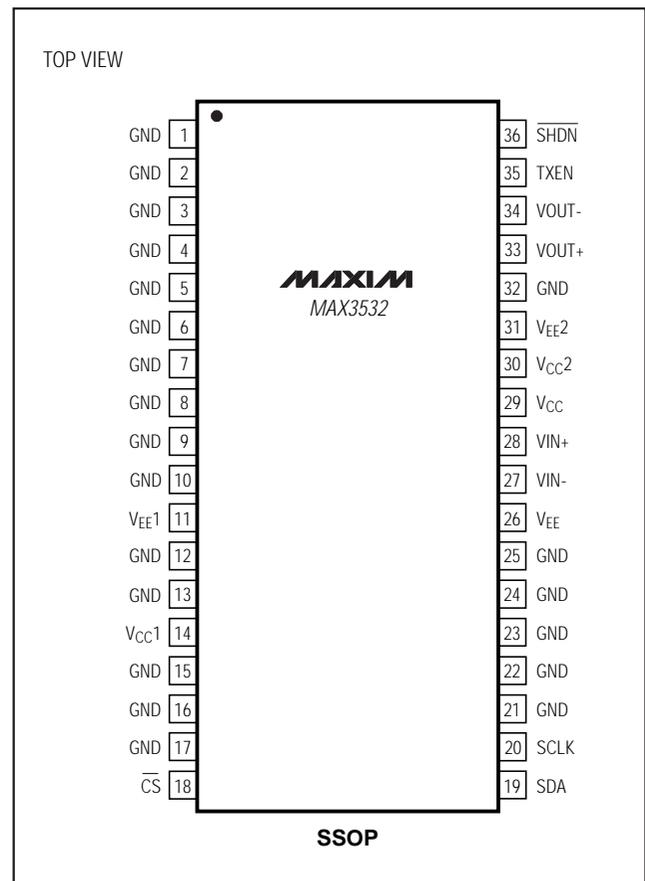
特長

- ◆ 電源：+5V単一
- ◆ 出力レベル範囲は1dBステップで8dBmV未満から62dBmVまで
- ◆ 利得は1dBステップでプログラマブル
- ◆ 標準電力消費：350mW
- ◆ 送信ディセーブルモード
- ◆ 2つのシャットダウンモード

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3532EAX	-40°C to +85°C	36 SSOP

ピン配置



† 米国特許5,748,027により保護されています。

アップストリームCATVドライバアンプ

MAX3532†

ABSOLUTE MAXIMUM RATINGS

V_{CC}-0.5V to +7.0V
 Input Voltage Levels (all inputs)-0.3V to (V_{CC} + 0.3V)
 Continuous RMS Input Voltage (VIN+, VIN-)60dBmV
 Continuous Current (VOUT+, VOUT-)100mA
 Continuous Power Dissipation (T_A = +70°C)
 36-Pin SSOP (denote at 11mW/°C above +70°C)900mW

Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +165°C
 Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, no RF applied, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}		4.75		5.25	V
Supply Current	I _{CC}	TXEN = 1, $\overline{\text{SHDN}}$ = 1, D7 and D6 = 1X or 01		75	95	mA RMS
Software Shutdown Current	I _{CC}	TXEN = X, $\overline{\text{SHDN}}$ = 1, D7 and D6 = 00		1.5	2	mA
Shutdown Current	I _{CC}	TXEN = X, $\overline{\text{SHDN}}$ = 0, D7 and D6 = XX		0.1	10	μA
Digital Input High Voltage	V _{IH}	$\overline{\text{CS}}$, SDA, SCLK, TXEN, $\overline{\text{SHDN}}$	2.4			V
Digital Input Low Voltage	V _{IL}	$\overline{\text{CS}}$, SDA, SCLK, TXEN, $\overline{\text{SHDN}}$			0.8	V
Digital Input High Current	I _{IH}	$\overline{\text{CS}}$, SDA, SCLK, TXEN, $\overline{\text{SHDN}}$			100	μA
Digital Input Low Current	I _{IL}	$\overline{\text{CS}}$, SDA, SCLK, TXEN, $\overline{\text{SHDN}}$	-100			μA

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V, V_{IN} = 36dBmV, $\overline{\text{SHDN}}$ = TXEN = 1, f_{IN} = 20MHz, Z_{LOAD} = 75Ω through a 1:2 transformer with two precision 8.0Ω back-termination resistors, T_A = -40°C to +85°C, unless otherwise noted. Typical values are measured at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Signal Swing	V _{TXOUT}			3.6		V _{p-p}
Voltage Gain	A _V	High power, D7-D0 = 11111101	24	26		dB
		Low noise, D7-D0 = 1001000		-32	-28	
Output Step Size				1		dB
Isolation in Standby Mode		TXEN = 0, f _{IN} = 42MHz, V _{OUT} = 58dBmV		36		dB
Two-Tone Third-Order Distortion (Note 1)	IMR3	Two input tones at 40MHz and 40.25MHz, both at 30dBmV; V _{OUT} = 52dBmV per tone		-43	-37.5	dBc
Second Harmonic Distortion (Note 1)	HD2	f _{IN} = 20MHz, V _{OUT} = 52dBmV		-59	-55	dBc
		f _{IN} = 20MHz, V _{OUT} = 58dBmV		-46	-40	
Third Harmonic Distortion (Note 1)	HD3	f _{IN} = 14MHz, V _{OUT} = 52dBmV		-67	-58	dBc
		f _{IN} = 14MHz, V _{OUT} = 58dBmV		-57	-48	
AM to AM	AMAM	V _{IN} = 36dBmV to 40dBmV, A _V = 22dB		0.1		dB
AM to PM	AMPM	V _{IN} = 36dBmV to 40dBmV, A _V = 22dB		1		degrees
Output Noise (High-Power Mode) (Note 1)		D7 and D6 = 11, BW = 160kHz, V _{OUT} = 46dBmV to 62dBmV, f = 5MHz to 42MHz		-80	-79	dBc

アップストリームCATVドライバアンプ

MAX3532†

AC ELECTRICAL CHARACTERISTICS (continued)

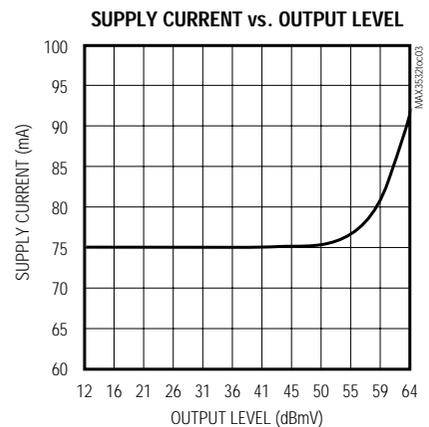
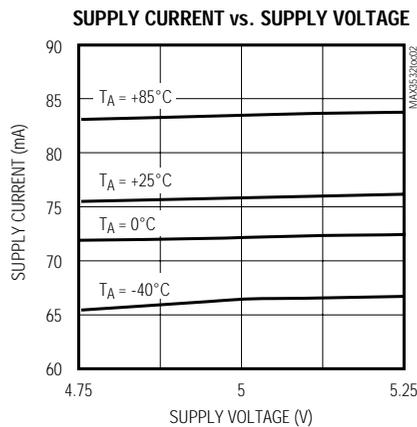
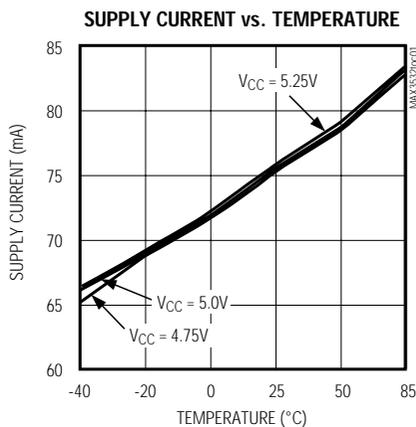
($V_{CC} = +5V$, $V_{IN} = 36dBmV$, $\overline{SHDN} = TXEN = 1$, $f_{IN} = 20MHz$, $Z_{LOAD} = 75\Omega$ through a 1:2 transformer with two precision 8.0Ω back-termination resistors, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are measured at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Noise (Low-Power Mode) (Note 1)		D7 and D6 = 10, $V_{OUT} > 27dBmV$, BW = 160kHz, $f = 5MHz$ to 42MHz		-75	-73	dBc
		D7 and D6 = 10, $V_{OUT} \leq 27dBmV$, BW = 160kHz, $f = 5MHz$ to 42MHz		-47	-45	dBmV
Output Noise (Standby Mode) (Note 1)		TXEN = 0, BW = 160kHz, $f = 5MHz$ to 42MHz		-47	-45	dBmV
Output Return Loss (Note 1)		$f_{IN} = 5MHz$ to 42MHz	12			dB
TXEN Transient Duration		TXEN rise/fall time < 100ns, $T_A = +25^\circ C$ (Note 1)		3	7	μs
TXEN Transient Step Size		$T_A = +25^\circ C$, $A_V = 22dB$ (Note 1)		25	100	mV
Power-Enable Transient Duration (Note 1)		$T_A = +25^\circ C$	1	2.5	5	μs
SERIAL INTERFACE						
\overline{CS} to SCLK Setup Time	t_{CSS}	(Note 1)	20			ns
\overline{CS} to SCLK Hold Time	t_{CSH}	(Note 1)	20			ns
SDA to SCLK Setup Time	t_{SDAS}	(Note 1)	20			ns
SDA to SCLK Hold Time	t_{SDAH}	(Note 1)	20			ns
SCLK Pulse Width High	t_{SCLKH}	(Note 1)	50			ns
SCLK Pulse Width Low	t_{SCLKL}	(Note 1)	50			ns

Note 1: Guaranteed by design and characterization.

標準動作特性

($V_{CC} = 5.0V$, $V_{IN} = 36dBmV$, $f_{IN} = 20MHz$, $\overline{SHDN} = TXEN = 1$, $Z_{LOAD} = 75\Omega$ through a 1:2 transformer with two precision 8.0Ω back-termination resistors, $T_A = +25^\circ C$, unless otherwise noted.)

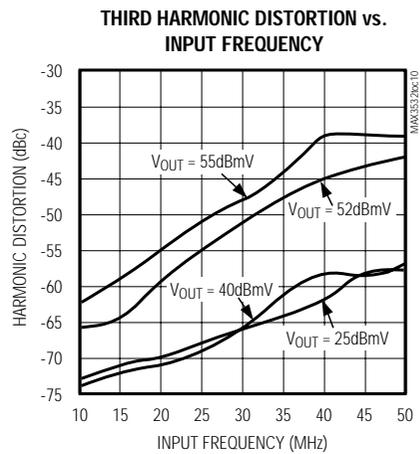
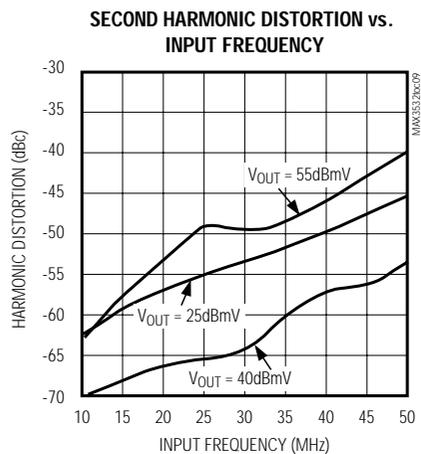
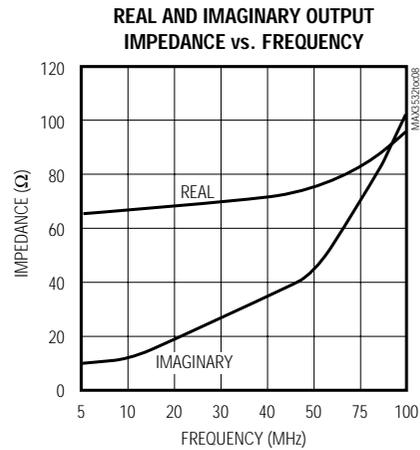
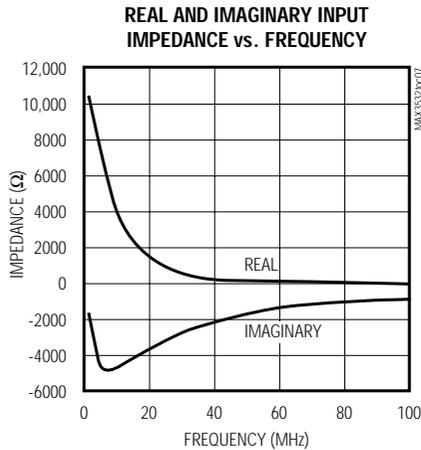
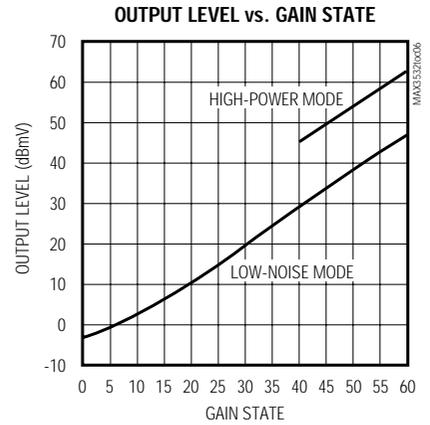
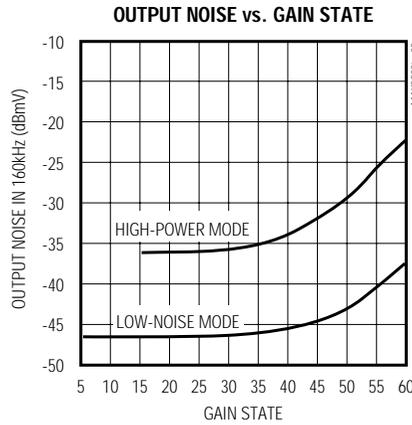
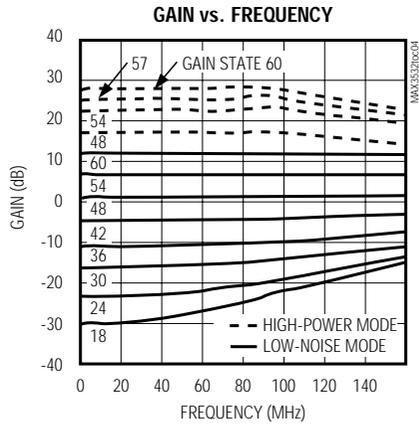


アップストリームCATVドライバンプ

MAX3532†

標準動作特性(続き)

($V_{CC} = +5V$, $V_{IN} = 36dBmV$, $\overline{SHDN} = TXEN = 1$, $f_{IN} = 20MHz$, $Z_{LOAD} = 75\Omega$ through a 1:2 transformer with two precision 8.0Ω back-termination resistors, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are measured at $T_A = +25^\circ C$.)



アップストリームCATVドライバアンプ

MAX3532†

端子説明

端子	名称	機能
1-10, 12, 13, 15, 16, 17, 21-25, 32	GND	グランドピン
11	V _{EE1}	シリアルデータインタフェースグランド。他のグランドと同様に、できるだけ短い(低インダクタンスの)経路でグランドプレーンに接続して下さい。
14	V _{CC1}	シリアルデータインタフェース+5V電源。ICにできるだけ近く配置された0.1μFデカップリングコンデンサでバイパスして下さい。
18	\overline{CS}	シリアルインタフェースイネーブル。TTLコンパチブル入力。「シリアルインタフェース」の項を参照。
19	SDA	シリアルインタフェースデータ。TTLコンパチブル入力。「シリアルインタフェース」の項を参照。
20	SCLK	シリアルインタフェースクロック。TTLコンパチブル入力。「シリアルインタフェース」の項を参照。
26	V _{EE}	プログラマブルゲインアンプ(PGA)グランド。他のグランドと同様に、できるだけ短い(低インダクタンスの)経路でグランドプレーンに接続して下さい。
27	VIN-	負入力。使用しない場合は、グランドにACカップリングする必要があります。VIN ₊ とこのポートがPGAへのハイインピーダンス差動入力を形成します。このポートを差動で駆動すると、二次歪みの除去率が高くなります。
28	VIN+	正入力。VIN ₋ とこのポートがPGAへのハイインピーダンス差動入力を形成します。このポートを差動で駆動すると、二次歪みの除去率が高くなります。このピンはACカップリングして下さい。
29	V _{CC}	PGA +5V電源。ICにできるだけ近く配置されたデカップリングコンデンサでバイパスして下さい。
30	V _{CC2}	パワーアンプ+5V電源。ICにできるだけ近く配置されたデカップリングコンデンサでバイパスして下さい。
31	V _{EE2}	パワーアンプグランド。他のグランドと同様に、できるだけ短い(低インダクタンスの)経路でグランドプレーンに接続して下さい。
33	VOUT+	正出力。このピンとVOUT ₋ が低インピーダンス出力を形成します。通常、このポートは8 直列抵抗を通じて1:2トランスを駆動します。
34	VOUT-	負出力。このピンとVOUT ₊ が低インピーダンス出力を形成します。通常、このポートは8 直列抵抗を通じて1:2トランスを駆動します。
35	TXEN	送信アンピネーブル。このピンをローにするとトランスミッタがハイアイソレーション状態(送信ディセーブルモード)になります。但し、このモードではかなりの同相電圧スイングが存在します。従って、トランスの一次側に至るまで差動出力のバランスを良好に保つことが重要です。
36	\overline{SHDN}	シャットダウン。このピンがローに設定されると、(シリアルインタフェースを含む)全ての機能がディセーブルされ、リーク電流のみが流れます。

アップストリームCATVドライバンプ

MAX3532†

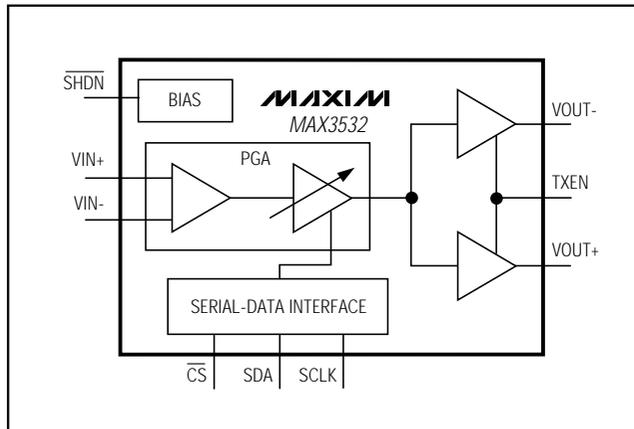


図1. ファンクションダイアグラム

詳細

以下に、ファンクションダイアグラム(図1)に示されている各ブロックについて説明します。

プログラマブルゲインアンプ

MAX3532の処理経路は、プログラマブルゲインアンプ(PGA)及び送信パワーアンプから構成されています。この2つにより、1dBステップで64dB以上の出力レベル制御が可能です。

PGAはプログラマブルなギルバートセルアッテネータとして構成されています。又、最高の直線性を得るために差動構造を採用しています。シングルエンドで駆動される場合、未使用の入力がグランドにデカップリングされていると、仕様どおりの性能が達成されます。PGAの利得は、シリアルデータインタフェースによって決まります。表2を参照して下さい。

送信パワーアンプ

送信パワーアンプは、+36dBmVで駆動された場合に+8dBmV~+62dBmVを差動で駆動する能力を持っています。単一+5V電源から必要なスイングを得るには、外部1:2トランスを使用する必要があります。送信パワーアンプの出力は、超低インピーダンスのエミッタフォロワです。このエミッタフォロワは、適正な出力リターンロスを実現するために2つの8直列終端抵抗を必要とします。

パワーアンプの利得は、シリアルデータインタフェースを通じて設定されます。送信パワーアンプは、切換え可能な+16dB又は+0dBの利得を備えています。これらは、それぞれ高直線性及び低ノイズを実現するためです。高利得モードではパワーアンプの利得が+16dBに設定され、最高の出力信号スイングが可能になります。低ノイズモードでは利得が0dBに設定され、出力ノイズが最小になります。

シャットダウンモード

通常動作では、シャットダウンピン($\overline{\text{SHDN}}$)をハイにします。 $\overline{\text{SHDN}}$ をローにすると、IC内の全ての回路がディセーブルされます。この状態では、リーク電流だけが流れます。素子をシャットダウンすると、シリアルデータインタフェースラッチに保存されたデータは失われます。

送信ディセーブルモード

TXENピンをハイにすると、デバイスは送信モードになります。TXENをローにすると、送信アンプは同相動作に切り替わり、出力信号は出力ピンVOUT₊とVOUT₋に同相で出てきます。これらの同一信号は出力トランスコアでキャンセルされ、入力と出力の間で高いアイソレーションを提供します。最高のアイソレーションは、低ノイズモードの低利得設定で達成されます。

シリアルインタフェース

シリアルインタフェースは、データを入力するためのアクティブローインエーブル($\overline{\text{CS}}$)を備えています。データは、SCLKの立上がりエッジでMSBを先にしてクロック入力されます。データは、 $\overline{\text{CS}}$ の立上がりエッジで保存ラッチに保存されます。シリアルインタフェースは、PGA及び出力アンプの状態を制御します。レジスタフォーマットは、表1及び2に示されています。シリアルインタフェースタイミングは、図2に示されています。

送信モード

ハードウェアTXENラインは、ソフトウェアビットD7とAND配線されているため、送信するためにはTXEN及びD7の両方がハイであることが必要です。ビットD6は、デバイスの高利得モード(D6 = 1)又は低ノイズモード(D6 = 0)を決定します。出力レベルが45dBmVより高い場合は、ハイパワーモードを使用すべきです。この遷移ポイントによりMAX3532の歪み性能が最適化されますが、いずれのモードも設定された利得状態の全域で使用できます。ビットD5~D0は、64個のPGA利得状態(公称1dBずつ)を定義します。

表1. シリアルインタフェース制御ワード

BIT	MNEMONIC	DESCRIPTION
MSB 7	D7	Chip-State Control MSB
6	D6	Chip-State Control LSB
5	D5	Gain Control, Bit 5
4	D4	Gain Control, Bit 4
3	D3	Gain Control, Bit 3
2	D2	Gain Control, Bit 2
1	D1	Gain Control, Bit 1
LSB 0	D0	Gain Control, Bit 0

表2. チップ状態制御ビット

TXEN	D7	D6	D5	D4	D3	D2	D1	D0	STATE
1	1	1	X	X	X	X	X	X	High-power transmit
1	1	0	X	X	X	X	X	X	Low-noise transmit; subtract 16dB from V _{OUT}
X	0	1	X	X	X	X	X	X	Transmit disabled
0*	X	X							
X	0	0	X	X	X	X	X	X	All analog circuitry off
1	1	0	0	0	1	1	0	1	V _{OUT} = +8dBmV
1	1	0	0	0	1	1	1	0	V _{OUT} = +9dBmV
—	1	—	—	—	—	—	—	—	—
1	1	1	1	1	0	1	0	1	V _{OUT} = +56dBmV
1	1	1	1	1	0	1	1	0	V _{OUT} = +57dBmV

* 状態000XXXXXX(ソフトウェアシャットダウン)を除く。

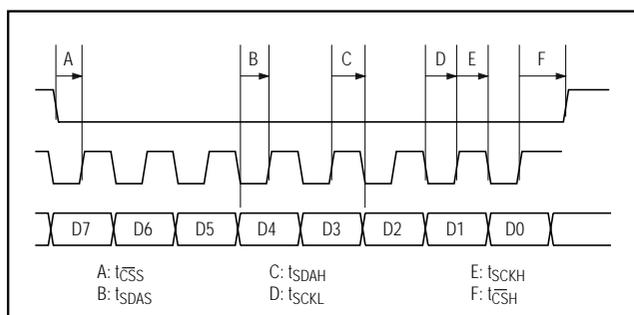


図2. シリアルインタフェースタイミング図

ソフトウェアシャットダウンモード

ソフトウェアシャットダウンモードは、D7及びD6の両方がロー(D7、D6 = 00)の時にイネーブルされます。このモードは、シリアルデータインタフェースのラッチに保存された設定利得状態を維持しつつ、消費電流を最小限に抑えます。このモードでは、全てのアナログ機能がディセーブルされます。

アプリケーション情報

出力マッチング

MAX3532の出力回路は、動作周波数全域にわたってニアゼロインピーダンスを持つ差動エミッタフォロワです。シングルエンドインピーダンスにマッチングさせるには、トランス及び逆終端抵抗が必要です。さらに、単一+5V電源で動作させる場合は、定格出力レベルを得るために出力信号スイングをステップアップする必要があります。これらについては、以下の2つの項で説明します。

トランス

定格出力レベルを実現するには、1:2(電圧比)トランスが必要です。このトランスは、アプリケーションに必要な帯域幅を持っていることが必要です。殆どのRFトランスの帯域幅仕様は、一次側に50Ω負荷、二次巻線にはそれにマッチングした抵抗を仮定して定められています。MAX3532の出力のインピーダンス(逆終端抵抗に起因する約16Ω)はこれより大幅に低いいため、一次側のインダクタンスのために帯域幅の低周波数エッジが3倍以上ダウンシフトする傾向があります。トランスの仕様を定める際には、このことに留意して下さい。

RFトランスのコアは、本質的にノンリニアデバイスです。歪みが重要になる場合は、リニア領域で動作させる必要があります。一般に、与えられた出力レベルに対する歪み性能は、使用するトランスコアのサイズ及び巻数で決まります。このため、全体的な歪み割当への寄与を最小限に抑えるために、適切なサイズのトランスを使用する必要があります。

逆終端抵抗

逆終端抵抗の値は、(出力トランスを通じた基準に基づく)最終的な出力インピーダンス及び希望する出力マッチングの質の2つのパラメータに依存します。出力インピーダンスは、次式により終端抵抗の値に依存します。

$$Z_{OUT} = 4 \times [2 \times (R_{term} + R_p)]$$

ここで、 R_{term} は1つの終端抵抗の値、 R_p は寄生抵抗です。

アップストリームCATVドライバンプ

MAX3532†

トランス及びプリント基板の寄生インダクタンスを考慮に入れる必要があるため、完全なマッチングよりも低い抵抗値を選んで下さい。2つの8.0 Ω抵抗を使用することにより、殆ど最適なマッチングが得られます。

出力マッチングがそれほど重要でない場合は、逆終端抵抗を低めの値にすることができます。このようにすると、(抵抗両端の電圧降下が減って負荷の両端の電圧降下が増えるため)出力レベル範囲の上限を拡張することができますと共に、与えられた出力レベルにおける歪み性能を改善できます。

レイアウト

RF回路では、よく設計されたプリント基板が必要です。最高の性能を得るために、電源レイアウト及び出力回路レイアウトに注意して下さい。

出力回路レイアウト

MAX3532の差動構成は、偶数次の歪み(最も大きいのは二次高調波歪み)を著しく低減するという利点があります。歪みのキャンセル度は、回路全体の振幅及び位相バランスに依存します。出力ピンから出てくるトレースを互いに正確に同じ長さにすることが重要です。

MAX3532は低インピーダンス出力を持っているため、出力トレースをできるだけ短くする必要があります。

これは、高周波数になると小さなインダクタンスでも影響してくるためです。逆終端抵抗は、できるだけデバイスの近くに配置して下さい。

電源レイアウト

IC内の各部分の間のカップリングを最小限に抑える理想的な電源レイアウトは、星型構成です。この構成では、大容量のデカップリングコンデンサを中央V_{CC}ノードに配置します。V_{CC}トレースはこのノードから分岐し、各々がMAX3532回路の中の個別のV_{CC}ノードに行きます。これらのトレースの各々の末端には、使用周波数で非常に小さなインピーダンスを提供するデカップリングコンデンサを配置します。これにより、各V_{CC}ピンのところでローカルV_{CC}デカップリングが実現されます。

電源からV_{CC}(ピン29)及びV_{CC2}(ピン30)に行くトレースは、実際的に可能な限り厚くし、抵抗が1 Ωよりもかなり小さくなるようにして下さい。

グランドインダクタンスは、歪み性能を劣化させます。このため、グランドプレーンからV_{EE}(ピン26)及びV_{EE2}(ピン31)への接続は、なるべく複数のビアを使用するようにします。

チップ情報

TRANSISTOR COUNT: 1100

パッケージ

