



点阵 LCD 控制/驱动电路

概述

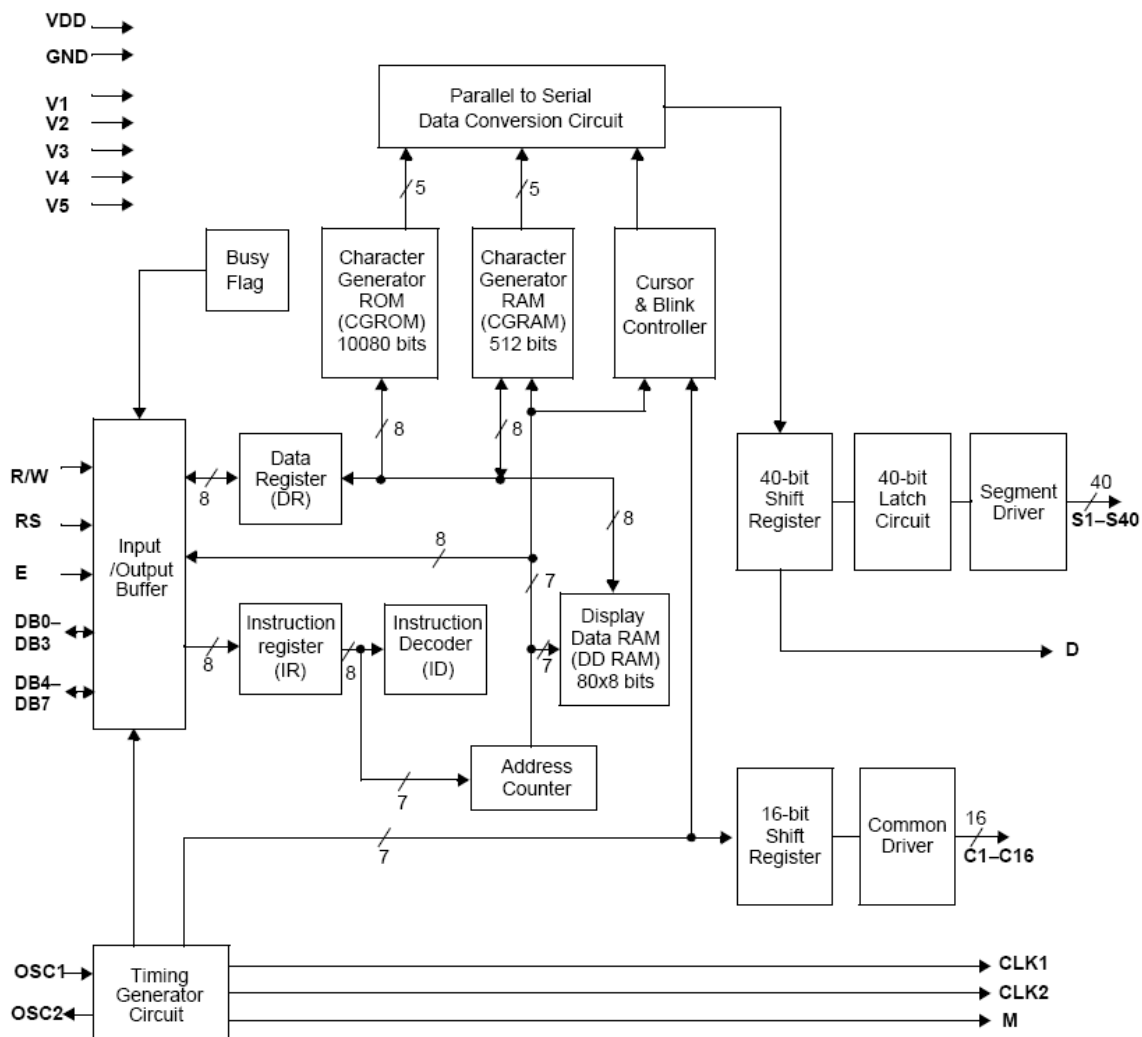
AIP31066 是一种采用低功耗 CMOS 技术生产的点阵式 LCD 驱动/控制器。

功能特点

- 字符型点阵 LCD 驱动/控制器
- 内部驱动：16COM 和 40SEG 信号输出
- 可以方便地和 4 位或 8 位 MPU 连接
- 显示字符图案：5×8 点阵（208 种），5×11 点阵（32 种）
- 特殊字符图案可以对字符发生器 RAM 直接编程得到
- 通用字符图案可以通过掩膜对字符发生器 ROM 编程得到
- 和 AIP31065 或 AIP31063 配合可以最大驱动 80 个字符
- 多种指令功能
- 自动上电复位功能
- 内部存储器
 - 字符发生器 ROM (CGROM)：10080 位（204 个 5*8 点阵格式字符和 32 个 5*11 点阵格式字符）
 - 字符发生器 RAM (CGRAM)：64*8 位（8 个 5*8 点阵格式字符）
 - 显示数据 RAM：80×8 位（最多 80 个字符）
- 电源电压：2.7~5.5V
- LCD 驱动电压 (VDD-V5)：3.0~13.0V
- CMOS 生产
- 编程占空比 1/8, 1/11, 1/16 可选
- 芯片尺寸：2110*2030 (um *um)，芯片衬底接 VDD。
- QFP80 或裸片

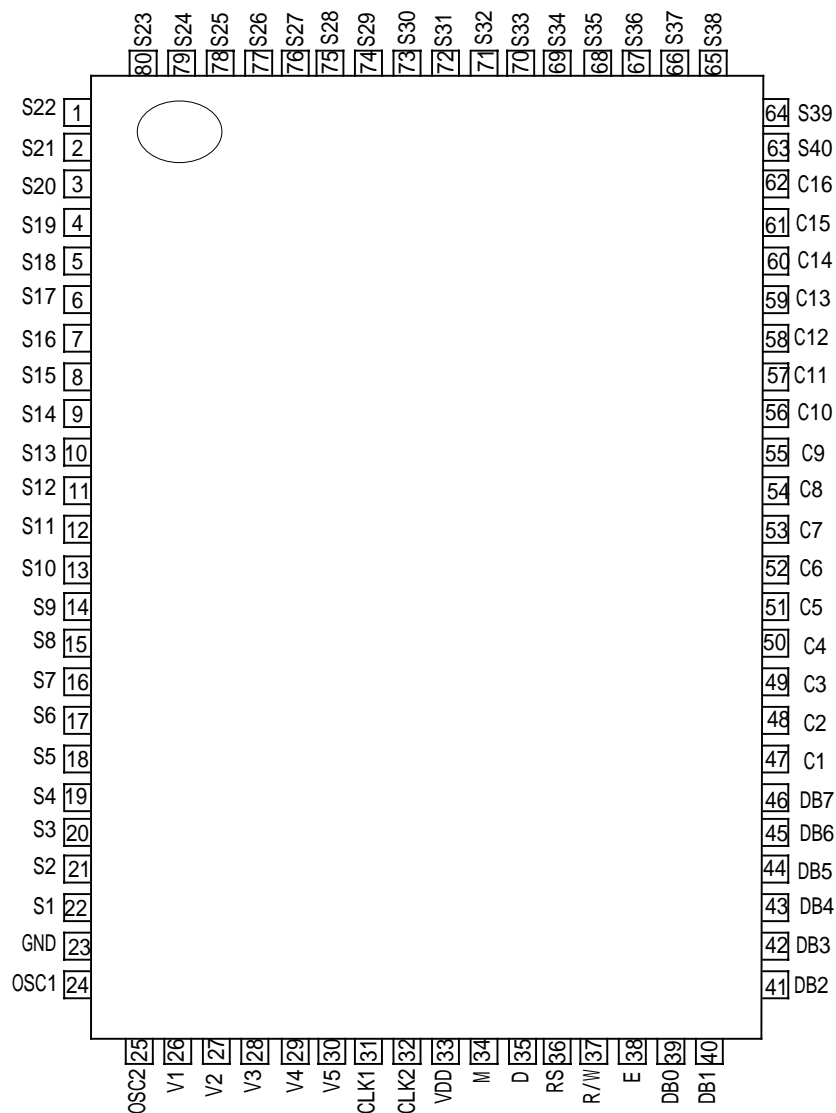


功能框图





管脚排列图





管脚说明

管脚号	符号	名称	I/O	说明	接口
33	V _{DD}	电源	-	供逻辑电路 (+3V ± 10% , +5V ± 10%)	电源
23	V _{SS} (GND)			0V (GND)	
26 ~ 30	V1 ~ V5			LCD 驱动偏置电压	
1 ~ 22 63 ~ 80	S1 ~ S40	SEG 输出	O	LCD 驱动 SEG 信号输出	LCD
47 ~ 62	C1 ~ C16	COM 输出	O	LCD 驱动 COM 信号输出	LCD
24	OSC1	振荡	I	使用内部频率时,两个管脚接 Rf 电阻;使用外部频率,频率从 OSC1 输入	电阻或陶瓷谐振器
25	OSC2		O		
31	CLK1	数据锁存时钟	O	外接电路锁存时钟	扩展驱动
32	CLK2	数据移位时钟		外接电路移位时钟	
34	M	LCD 驱动交替信号输出端		交替输出信号将 LCD 驱动波形变为交流信号	
35	D	显示数据接口		输出扩展驱动数据 (第 41 位点阵数据)	
38	E	使能	I	读写数据使能信号	MPU
37	R/W	读/写		读写模式选择	
				<table border="1"> <tr> <td>1</td> <td>读模式</td> </tr> <tr> <td>0</td> <td>写模式</td> </tr> </table>	
1	读模式				
0	写模式				
36	RS	寄存器选择	寄存器选择输入		
			<table border="1"> <tr> <td>1</td> <td>数据寄存器 (读写)</td> </tr> <tr> <td>0</td> <td>指令寄存器 (写), 忙标志, 地址计数器 (读)</td> </tr> </table>	1	数据寄存器 (读写)
1	数据寄存器 (读写)				
0	指令寄存器 (写), 忙标志, 地址计数器 (读)				
39 ~ 46	DB0 ~ DB7	数据接口	I/O	用于 MPU 和 AIP31066 的数据传输,可初始化为双向三态端,四位传输时 DB0 ~ DB3 不用, DB7 能用作忙标志读出。	



极限参数 (Ta=25)

参数	符号	值	单位
电源电压	V _{DD}	-0.3 ~ +7.0	V
驱动电压	V _{LCD}	V _{DD} -15 ~ V _{DD} +0.3	V
输入电压	V _{IN}	-0.3 ~ V _{DD} +0.3	V
工作温度	Topr	-30 ~ +85	
贮存温度	Tstg	-55 ~ +125	

* 电压大于上述值可能损坏电路 (V_{DD} V1 V2 V3 V4 V5)

电气特性

直流特性 (V_{DD}= 4.5V~5.5V, Ta=-30~+85)

参数	符号	测试条件	最小	典型	最大	单位	
工作电压	V _{DD}	—	4.5	—	5.5	V	
电源电流	I _{DD}	内部振荡或者外部时钟(V _{DD} =5V fosc=270KHz)	—	0.35	0.6	mA	
输入电压 1	V _{IH1}	—	2.2	—	V _{DD}	V	
	V _{IL1}	—	-0.3	—	0.6		
输入电压 2	V _{IH2}	—	V _{DD} -1.0	—	V _{DD}		
	V _{IL2}	—	-0.2	—	1.0		
输出电压 1	V _{OH1}	I _{OH} =-0.205mA	2.4	—	—		
	V _{OL1}	I _{OL} =1.2mA	—	—	0.4		
输出电压 2	V _{OH2}	I _O = -40uA	0.9V _{DD}	—	—		
	V _{OL2}	I _O =40uA	—	—	0.1V _{DD}		
电压降	V _{dCOM}	I _O =±0.1mA	—	—	1		
	V _{dSEG}		—	—	1		
输入漏电流	I _{IKG}	V _{IN} =0V ~ V _{DD}	-1	—	1	uA	
低输入电流	I _{IL}	V _{IN} =0V V _{DD} =5V (上拉)	-50	-125	-250		
内部时钟频率	f _{OSC1}	Rf=91KΩ±2% V _{DD} =5V	190	270	350	KHz	
外部时钟频率	f _{OSC}	—	125	270	410	KHz	
	duty		45	50	55	%	
	t _R , t _F		—	—	0.2	us	
LCD 驱动电压	V _{LCD1}	V _{DD} -V5	1/5 偏置	3.0	—	13.0	V
	V _{LCD2}		1/4 偏置	3.0	—	13.0	



直流特性 ($V_{DD}=2.7V\sim 4.5V, T_a=-30\sim +85$)

参数	符号	测试条件	最小	典型	最大	单位	
工作电压	V_{DD}	—	2.7	—	4.5	V	
电源电流	I_{DD}	内部振荡或者外部时钟($V_{DD}=3V$ $f_{osc}=270KHz$)	—	0.15	0.3	mA	
输入电压 1	V_{IH1}	—	0.7VDD	—	V_{DD}	V	
	V_{IL1}	—	-0.3	—	0.55		
输入电压 2	V_{IH2}	—	0.7VDD	—	V_{DD}		
	V_{IL2}	—	—	—	0.2VDD		
输出电压 1	V_{OH1}	$I_{OH}=-0.1mA$	0.75VDD	—	—		
	V_{OL1}	$I_{OL}=0.1mA$	—	—	0.2VDD		
输出电压 2	V_{OH2}	$I_O=-40uA$	0.8VDD	—	—		
	V_{OL2}	$I_O=40uA$	—	—	0.2VDD		
电压降	V_{dCOM}	$I_O=\pm 0.1mA$	—	—	1		
	V_{dSEG}		—	—	1		
输入漏电流	I_{IKG}	$V_{IN}=0V \sim V_{DD}$	-1	—	1	uA	
低输入电流	I_{IL}	$V_{IN}=0V$ $V_{DD}=3V$ (上拉)	-10	-50	-120		
内部时钟频率	f_{OSC1}	$R_f=75K\Omega\pm 2\%$ $V_{DD}=3V$	190	270	350	KHz	
外部时钟频率	f_{OSC2}	—	125	270	410	KHz	
	duty		45	50	55	%	
	t_R, t_F		—	—	0.2	us	
LCD 驱动电压	V_{LCD1}	$V_{DD}-V_5$	1/5 偏置	3.0	—	13.0	V
	V_{LCD2}		1/4 偏置	3.0	—	13.0	

LCD 驱动电压

电源	占空比	1/8, 1/11 占空比	1/16 占空比
	偏置	1/4 偏置	1/5 偏置
V_{DD}		V_{DD}	V_{DD}
V1		$V_{DD}-V_{LCD}/4$	$V_{DD}-V_{LCD}/5$
V2		$V_{DD}-V_{LCD}/2$	$V_{DD}-2V_{LCD}/5$
V3		$V_{DD}-V_{LCD}/2$	$V_{DD}-3V_{LCD}/5$
V4		$V_{DD}-3V_{LCD}/4$	$V_{DD}-4V_{LCD}/5$
V5		$V_{DD}-V_{LCD}$	$V_{DD}-V_{LCD}$



交流特性($V_{DD} = 4.5V \sim 5.5V$, $T_a = -30 \sim +85$ C)

模式	参数	符号	最小	典型	最大	单位
写模式 (参考图1)	E周期	t_c	500	-	-	ns
	E上升/下降时间	t_{R}, t_{F}	-	-	20	
	E脉冲宽度(1,0)	t_w	230	-	-	
	R/W和RS建立时间	t_{su1}	40	-	-	
	R/W和RS保持时间	t_{H1}	10	-	-	
	数据建立时间	t_{su2}	80	-	-	
	数据保持时间	t_{H2}	10	-	-	
读模式 (参考图2)	E周期	t_c	500	-	-	ns
	E上升/下降时间	t_{R}, t_{F}	-	-	20	
	E脉冲宽度(1,0)	t_w	230	-	-	
	R/W和RS建立时间	t_{su}	40	-	-	
	R/W和RS保持时间	t_{H}	10	-	-	
	数据输出延迟时间	t_D	-	-	120	
	数据保持时间	t_{DH}	5	-	-	

交流特性($V_{DD} = 2.7V \sim 4.5V$, $T_a = -30 \sim +85$ C)

模式	参数	符号	最小	典型	最大	单位
写模式 (参考图1)	E周期	t_c	1000	-	-	ns
	E上升/下降时间	t_{R}, t_{F}	-	-	25	
	E脉冲宽度(1,0)	t_w	450	-	-	
	R/W和RS建立时间	t_{su1}	60	-	-	
	R/W和RS保持时间	t_{H1}	20	-	-	
	数据建立时间	t_{su2}	195	-	-	
	数据保持时间	t_{H2}	10	-	-	
读模式 (参考图2)	E周期	t_c	1000	-	-	ns
	E上升/下降时间	t_{R}, t_{F}	-	-	25	
	E脉冲宽度(1,0)	t_w	450	-	-	
	R/W和RS建立时间	t_{su}	60	-	-	
	R/W和RS保持时间	t_{H}	20	-	-	
	数据输出延迟时间	t_D	-	-	360	
	数据保持时间	t_{DH}	5	-	-	



交流特性($V_{DD}=2.7V \sim 4.5V$, $T_a = -30 \sim +85 \text{ } ^\circ\text{C}$)

模式	参数	符号	最小	典型	最大	单位
接口模式 (参考图3)	时钟高/低电平脉冲宽度(1, 0)	t_{CWH}	800	-	-	ns
	时钟上升/下降时间	t_R, t_F	-	-	25	
	时钟建立时间	t_{su1}	500	-	-	
	数据建立时间	t_{su2}	300	-	-	
	数据保持时间	t_{DH}	300	-	-	
	M延迟时间	t_{DM}	-1000	-	1000	

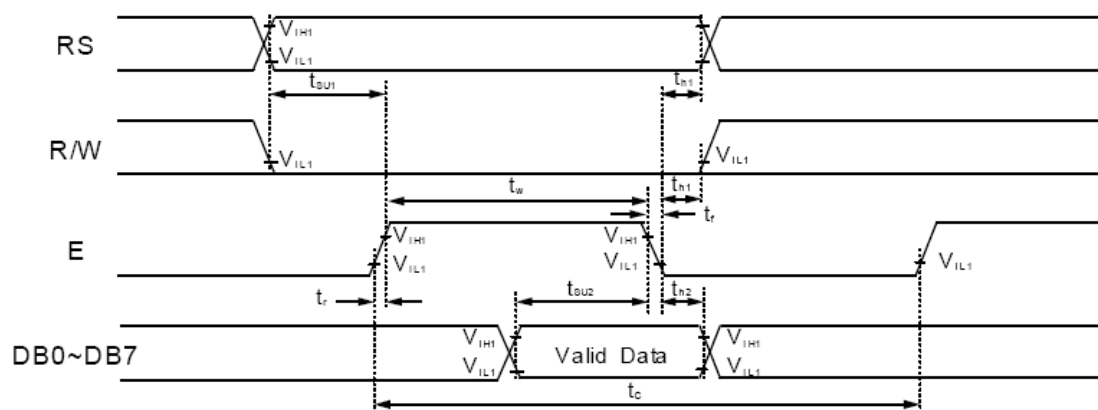


图1.

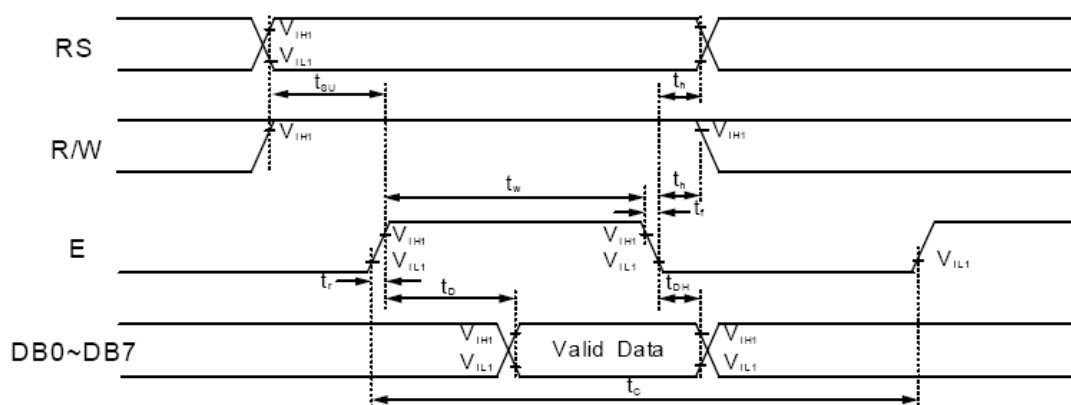


图2.

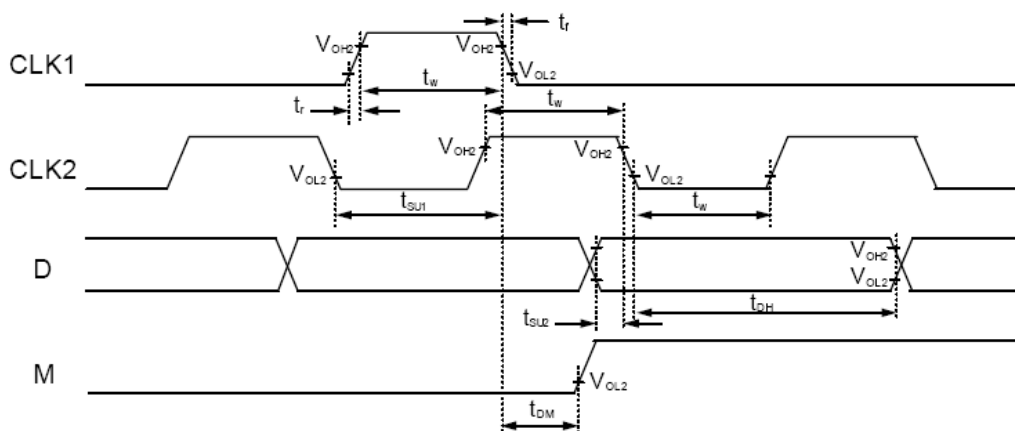


图 3.

功能描述

• 系统接口

这颗 IC 具有 4 位/8 位 MPU 两种接口总线。4 位/8 位总线通过指令寄存器的 DL 位进行选定。在读写操作时，使用到 2 个 8 位寄存器，一个是数据寄存器 DR，另一个是指令寄存器 IR。数据寄存器 DR 作为写入和读出 DDRAM/CGRAM 数据的临时存放地。目标 RAM 通过 RAM 地址设定指令进行选定，任何读写 RAM 的内部操作都是自动完成的。当 MPU 读出 DR 内数据，DDRAM/CGRAM 数据自动传输到 DR，同样，当 MPU 写入数据到 DR，DR 中的数据自动传输到 DDRAM/CGRAM。指令寄存器 IR 用于存储来自 MPU 的指令代码，MPU 不能读出指令数据。可以通过 RS 管脚切换 4 位/8 位总线模式来选取寄存器。

通过设置 RS/RW 位的各种操作：

RS	R/W	操作
L	L	写指令操作 (MPU 写指令代码至 IR)
L	H	读忙标志 (DB7) 和地址计数器 (DB0 ~ DB6)
H	L	写数据操作 (MPU 写数据至 DR)
H	H	读数据操作 (MPU 从 DR 读出数据)

• 忙标志 (BF)

BF 为高，表示内部操作正在进行，所以在这个时间内，下一条指令将不能被执行。当 RS = “0” 且 R/W = “1” (读指令操作时)，BF 的值可以从 DB7 口读出，在执行下一条指令时，必须确认 BF 不为 “1”。



• 地址计数器 (AC)

从指令寄存器过来的 DDRAM/CGRAM 地址存储在地址计数器时，地址计数器内的数据在写入或读出 DDRAM/CGRAM 后自增或自减。当 RS="0" 且 R/W="1" 时，地址计数器中的数据可以从 DB0 ~ DB6 中读出。

• 显示数据 RAM (DDRAM)

DDRAM 中存储着 80*8 位显示数据，DDRAM 地址以 16 进制数的形式被设置进地址寄存器。

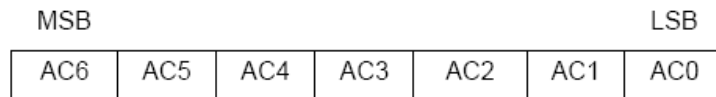


图 4. 显示数据 RAM 地址

1) 1行显示

1行显示的DDRAM地址范围为 00H~4FH.

将会使用到一个扩展驱动电路，图5显示了使用40SEG扩展的实例。

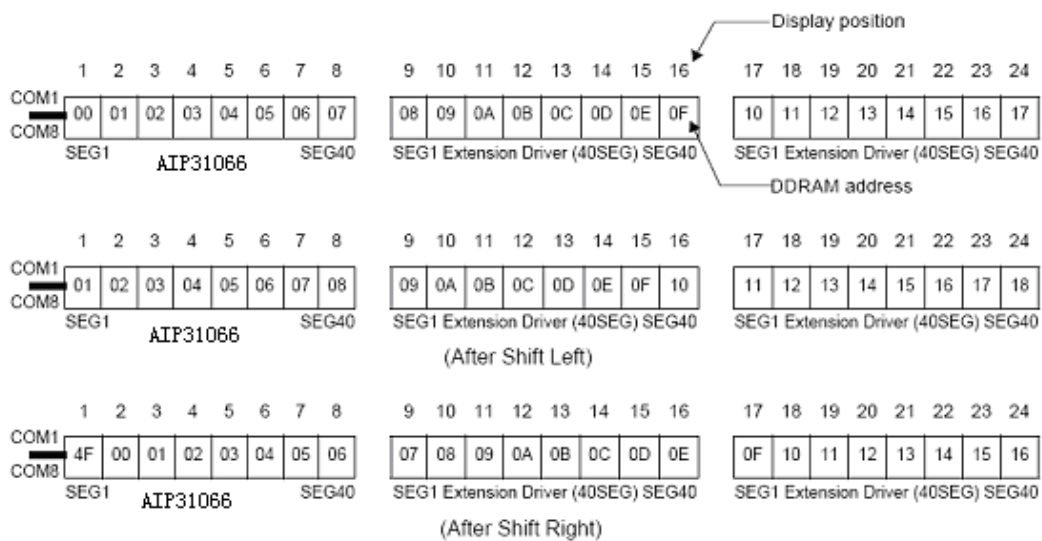


图 5.



2) 2行显示

2行显示的DDRAM地址范围为00H-27H 和 40H-67H.

将会使用到一个扩展驱动电路，图6显示了使用40SEG扩展的实例。

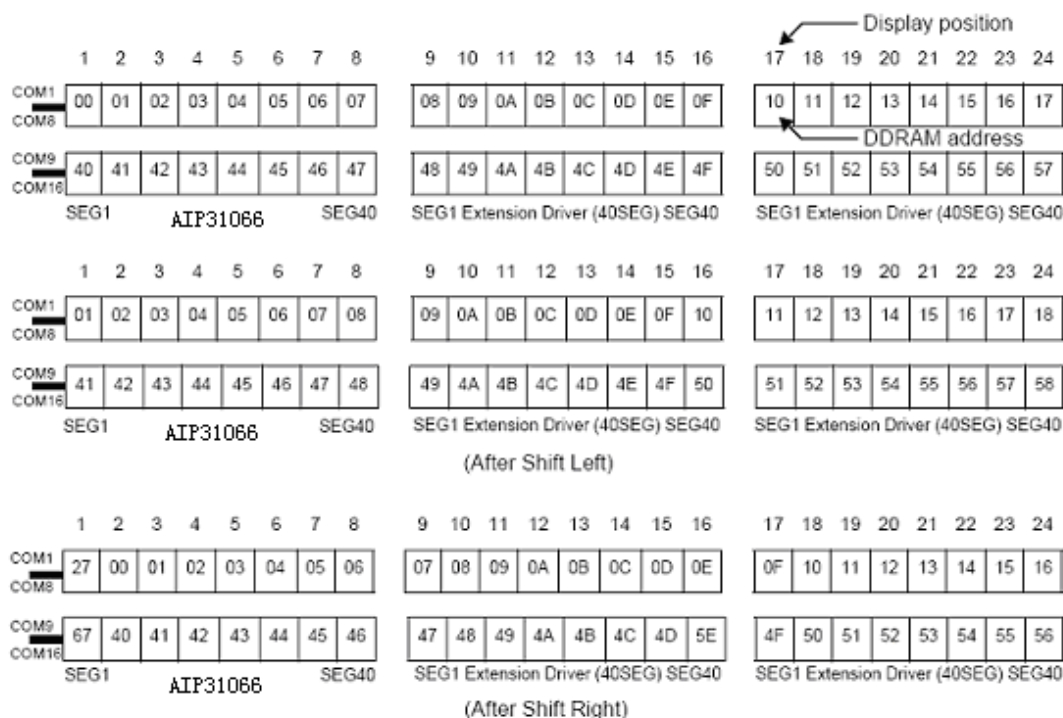


图 6 .

- 字符生成ROM (CGROM)

字符生成 ROM 具有 5 × 8 点阵，204 字符模式和 5 × 11 点阵，32 字符模式。

- 字符生成 RAM (CGRAM)

字符生成RAM具有5 × 8点阵，8字符。通过写入字体数据至CGRAM，用户可以调用此定义字符。（参考表1）

- 时序生成器电路

时序生成器电路生成内部工作所需的时钟。

- LCD 驱动电路

LCD 驱动电路具有 16COM 和 40SEG。来自 CGRAM/CGROM 的数据传输至 40 位 SEG 锁存器，然后储存在 40 位移位锁存器内。当每个 COM 被 16 位 COM 寄存器选定，SEG 数据也从 40 位段锁存器输出至 SEG 驱动端。在 1 行显示模式下，COM1 ~ COM8 为 1/8 占空比或 COM1 ~ COM11 为 1/11 占空比，而在 2 行显示模式下，COM1 ~ COM16 为 1/16 占空比。

- 光标/闪烁控制电路

该电路控制光标/闪烁的开关



表1. Character Code (DDRAM) 和Character Pattern (CGRAM)相互关系

Character Code (DDRAM data)								CGRAM Address						CGRAM Data								Pattern number
D7	D6	D5	D4	D3	D2	D1	D0	A5	A4	A3	A2	A1	A0	P7	P6	P5	P4	P3	P2	P1	P0	
0	0	0	0	x	0	0	0	0	0	0	0	0	0	x	x	x	0	1	1	1	0	pattern 1
											0	0	1				1	0	0	0	1	
											0	1	0				1	0	0	0	1	
											0	1	1				1	1	1	1	1	
											1	0	0				1	0	0	0	1	
											1	0	1				1	0	0	0	1	
											1	1	0				1	0	0	0	1	
											1	1	1				0	0	0	0	0	
0	0	0	0	x	1	1	1	0	0	0	0	0	0	x	x	x	1	0	0	0	1	pattern 8
											0	0	1				1	0	0	0	1	
											0	1	0				1	0	0	0	1	
											0	1	1				1	1	1	1	1	
											1	0	0				1	0	0	0	1	
											1	0	1				1	0	0	0	1	
											1	1	0				1	0	0	0	1	
											1	1	1				0	0	0	0	0	

指令描述

为克服内部时钟与MPU时钟之间的速度差异，AIP31066通过将控制信息先储存至IR或DR来进行内部操作。内部操作受控于来自MPU的读写数据和数据总线上的数据组合(参考表3)。

指令可分为四部份：

- 1) AIP31066功能设置指令（设置显示方式，设置数据长度等）
- 2) 指向内部RAM的地址设置指令
- 3) 与内部RAM的数据传输指令
- 4) 其他

内部RAM地址自增或自减。

注：当内部工作时，忙指令（DB7）为高。在下一个操作前，忙标志检测必须执行。在检测到忙标志位（DB7）为低后，随着E信号的下降沿必需 $1/2f_{osc}$ 来执行下条指令。



1) 清除显示

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

通过写入 20H (空格代码) 至所有的 DDRAM 地址和设置 00H 至地址计数器, 可以清除显示数据。将光标放在初始状态, 即放在第一行的最左端, 设置输入模式为递增 (I/D=为高)

2) 返回

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	-

* - : dont care

返回指令是将光标回到起始位置。将 DDRAM 地址 00H 置入地址计数器。将光标放在初始位置, 并将显示改为初始状态。DDRAM 中的数据不作改变。

3) 输入模式

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	1	I/D	SH

设置光标和显示的移动方向

ID: DDRAM 地址 (光标或闪烁) 的递增或递减。

当 I/D 为高时, 光标闪烁向右移, DDRAM 地址自增; 当 I/D 为低时, 光标闪烁向左移, CGRAM 地址自减。当读出或写入 DDRAM 时, 操作跟 DDRAM 一致。

SH: 显示移位

当对 DDRAM 读操作 (CGRAM 读/写操作) 或 SH 为低时, 整个显示移位将不能执行。当 SH 为高且对 DDRAM 写操作时, 整个显示的移位将根据 I/D 的值来进行。(I/D 为高, 向左移, I/D 为低, 向右移)

4) 显示开关控制

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	1	D	C	B

显示控制/光标, 闪烁开关为 1 位寄存器

D: 显示开关控制位

当 D 为高时, 整个显示开; 当 D 为低时, 显示关闭, 但显示数据保存在 DDRAM 中。

C: 光标开关控制位

当 C 为高时, 光标开; 当 C 为低时, 光标消失, 但 I/D 寄存器保存它的的功能。

B: 光标闪烁开关控制位

当 B 为高时, 光标闪烁开, 当 B 为低时, 光标闪烁关。



5) 光标/闪烁移位

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	1	S/C	R/L	-	-

不读写显示数据，将光标位置或显示左移或右移，这种指令用于纠正和寻找显示数据。当 2 行显示模式时，在第 1 行的第 40 个字符后，光标移向第 2 行。注意，在所有行中，显示移位是同时进行的。当显示数据重复移位时，每一位是独立移位的，当显示移位时，地址计数器中的内容是不变的。

表2. 由 S/C 和 R/L 标志位控制的移位格式

S/C	R/L	操作
0	0	光标向左移，地址计数器自减 1
0	1	光标向右移，地址计数器自增 1
1	0	所有显示向左移，光标根据显示移位。
1	1	所有显示向右移，光标根据显示移位。

6) 功能设置

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	-	-

DL：接口数据长度控制位

当 DL 为高时，表示 8 位总线连接至 MPU

当 DL 为低时，表示 4 位总线连接至 MPU，因此 DL 是 8 位/4 位总线模式的选择信号。当为 4 位总线模式时，需要传输 4 位数据 2 次。

N：显示行数控制位

当 N 为低时，1 行显示模式被设置；当 N 为高时，2 行显示模式被设置。

F：显示字体类型控制位

当 F 为低时，5×8 点阵显示模式被设置；当 F 为高时，5×11 点阵显示模式被设置。

7) 设置 CGRAM 地址

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	AC5	AC4	AC3	AC2	AC1	AC0

将 CGRAM 地址置入地址计数器，该指令使得来自 MPU 的 CGRAM 数据有效。



8) 设置 DDRAM 地址

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	AC6	AC5	AC4	AC3	AC2	AC1	AC0

将 DDRAM 地址置入地址计数器，该指令使得来自 MPU 的 DDRAM 数据有效。当 1 行显示模式时 (N 为低)，DDRAM 地址 00H~4FH；当 2 行显示模式时 (N 为高)，第 1 行的 DDRAM 地址从 00H~27H，第 2 行的 DDRAM 地址从 40H~67H。

9) 读忙标志和地址

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	BF	AC6	AC5	AC4	AC3	AC2	AC1	AC0

该指令显示是否 AIP31066 处于内部工作中。如果 BF 为高，内部工作在进行中，需要等待直到 BF 被置低，这时下条指令才能进行。在这条指令中，同样可以读到地址计数器内的值。

10) 写数据到 RAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	D7	D6	D5	D4	D3	D2	D1	D0

写入 8 位二进制数据至 DDRAM/CGRAM。DDRAM 和 CGRAM 之间的选取由之间的地址设置指令来决定 (DDRAM 地址设置指令，CGRAM 地址设置指令)。RAM 设置指令决定地址计数器增减方向。写操作后，根据输入模式选择指令地址自增或自减。

11) 从 RAM 中读数据

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	D7	D6	D5	D4	D3	D2	D1	D0

从 DDRAM/CGRAM 中读出 8 位二进制数。RAM 的选择由之前的地址设置指令来决定。如果读数据指令前没有写入地址设置指令，则读出的数据是无效的，因为地址计数器所决定的方向还没有设定；如果读操作前，没有写入 RAM 地址设置指令，且读出多次数据，则从第二个数据开始是有效的，第一个数据是不对的，因为没有时序配合 RAM 数据输出。在 DDRAM 的读操作中，光标转移指令起到了 DDRAM 地址设置指令相同的作用，同样将 RAM 数据送至输出寄存器。在读操作后，地址计数器根据输入模式指令自增或自减，在 CGRAM 读操作后，显示移位可能不能正确执行。



表 3. 指令表

指令	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	执行时间 fosc=270KHZ	描述
清除显示	0	0	0	0	0	0	0	0	0	1	1.53ms	将 20H 写入 DDRAM, 将地址计数器中的地址 00H 设置为 DDRAM 地址
返回	0	0	0	0	0	0	0	0	1	-	1.53ms	将地址计数器中的地址 00H 设置为 DDRAM 地址, 并将光标恢复至初始位置, DDRAM 的内容保持不变。
输入模式设置	0	0	0	0	0	0	0	1	I/D	SH	39us	设置光标移方向, 并允许整个显示移动
显示开/关	0	0	0	0	0	0	1	D	C	B	39us	设置显示、光标, 光标的闪烁控制位。
移位	0	0	0	0	0	1	S/C	R/L	-	-	39us	设置光标移动, 显示移动方向的控制位, DDRAM 数据保持不变。
功能设置	0	0	0	0	1	DL	N	F	-	-	39us	设置接口数据长度 (DL: 8 位/4 位), 显示行数 (N: 2 行/1 行), 显示字体 (F: 5×11 点阵/5×8 点阵)



指令	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	执行时间 fosc=250KHZ	备注
设置 CG RAM 地址	0	0	0	1	AC5	AC4	AC3	AC2	AC1	AC0	39us	在地址计数器 内 设置 CGRAM 地址
设置 DD RAM 地址	0	0	1	AC6	AC5	AC4	AC3	AC2	AC1	AC0	39us	在地址计数器 内 设置 DDRAM 地址
读忙 标志 & 地址	0	1	BF	AC 6	AC 5	AC 4	AC 3	AC 2	AC 1	AC 0	0us	通过读取 BF 观 察是否内部工 作正在进行中， 地址计数器中 的内容同时被 读取
写 数 据	1	0	D7	D6	D5	D4	D3	D2	D1	D0	43s	写数据至内部 RAM (DDRAM/CG RAM)
读 数 据	1	1	D7	D6	D5	D4	D3	D2	D1	D0	43s	从内部 RAM (DDRAM/CG RAM)中读取数 据

注：“-”不考虑



MPU接口

1) 8位MPU接口

当接口数据长度被设置为8位，数据从8位端口（DB0 ~ DB7）同时读出。时序图实例如下图所示：

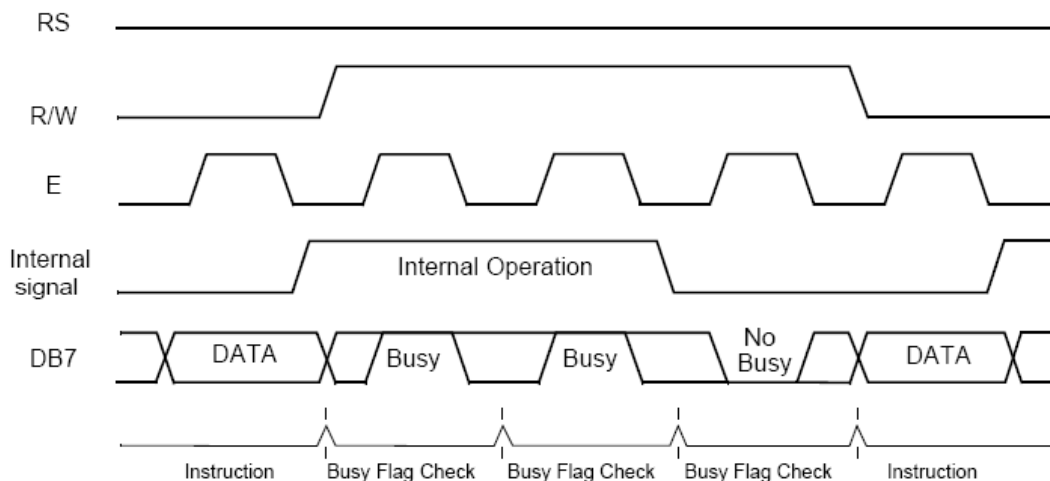


图7 .

2) 4位MPU接口

当接口数据长度被设置为4位，仅有4个端口（DB4 ~ DB7）作为数据传输总线。高4位先传（8位数据总线模式时，DB4 ~ DB7的内容），低4位后传（8位数据总线模式时，DB0 ~ DB3的内容），所以第二次传输结束时，经历了两次忙标志位输出高。时序图实例如下图所示：

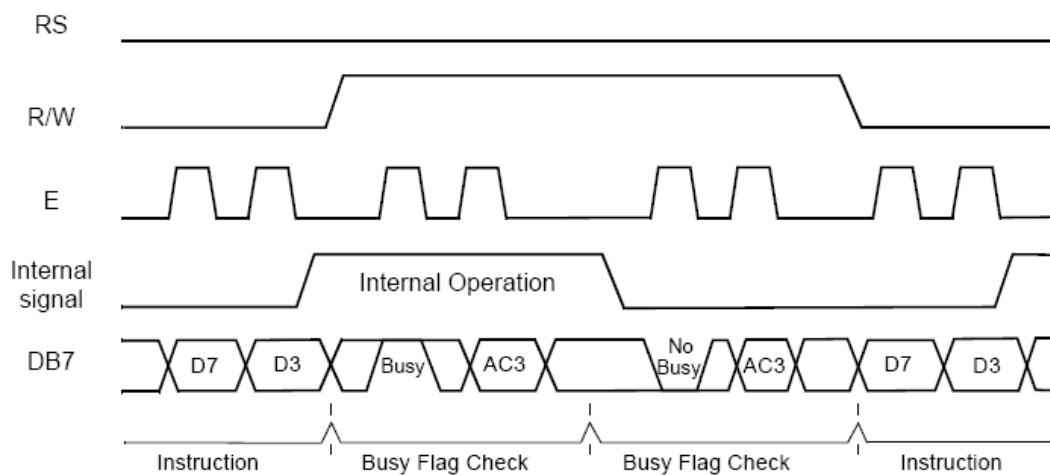
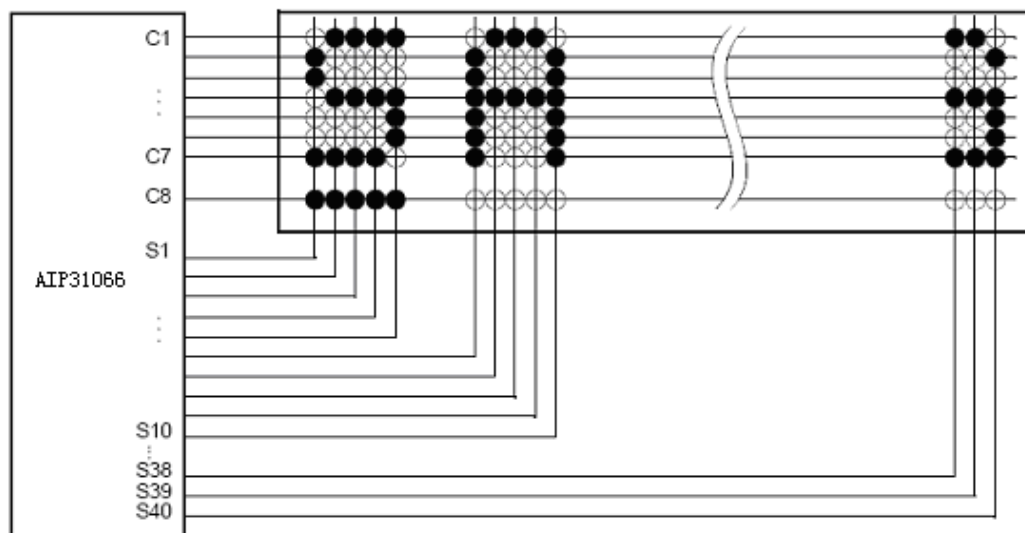


图8 .

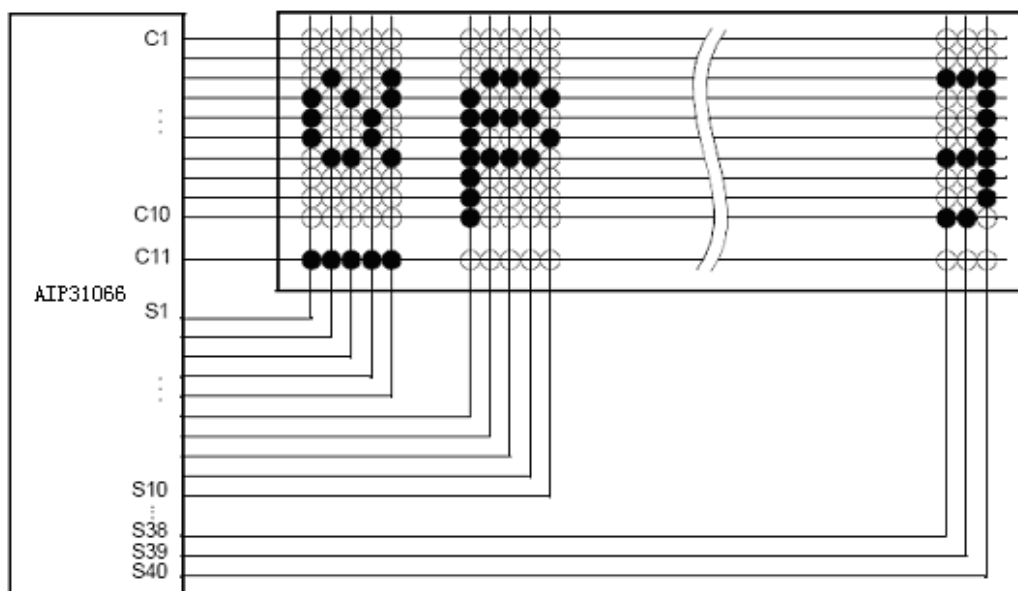


典型应用

1) LCD 面板：8 字符 × 1 行，5 × 7 点阵+1 光标线 (1/4 偏置，1/8 占空比)

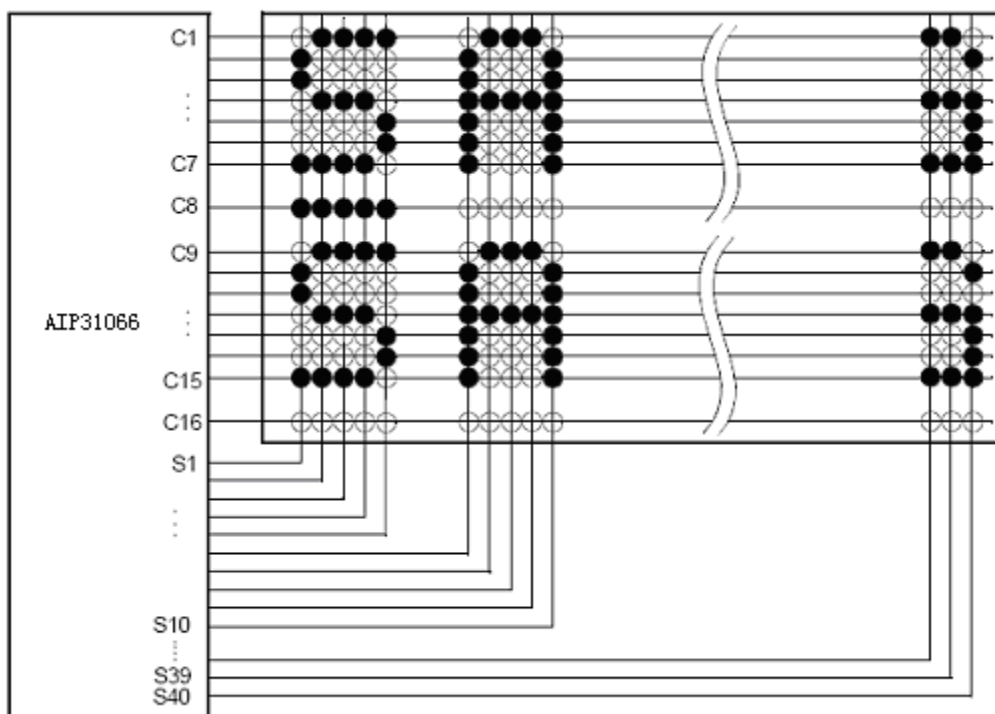


2) LCD 面板：8 字符 × 1 行，5 × 10 点阵+1 光标线 (1/4 偏置，1/11 占空比)

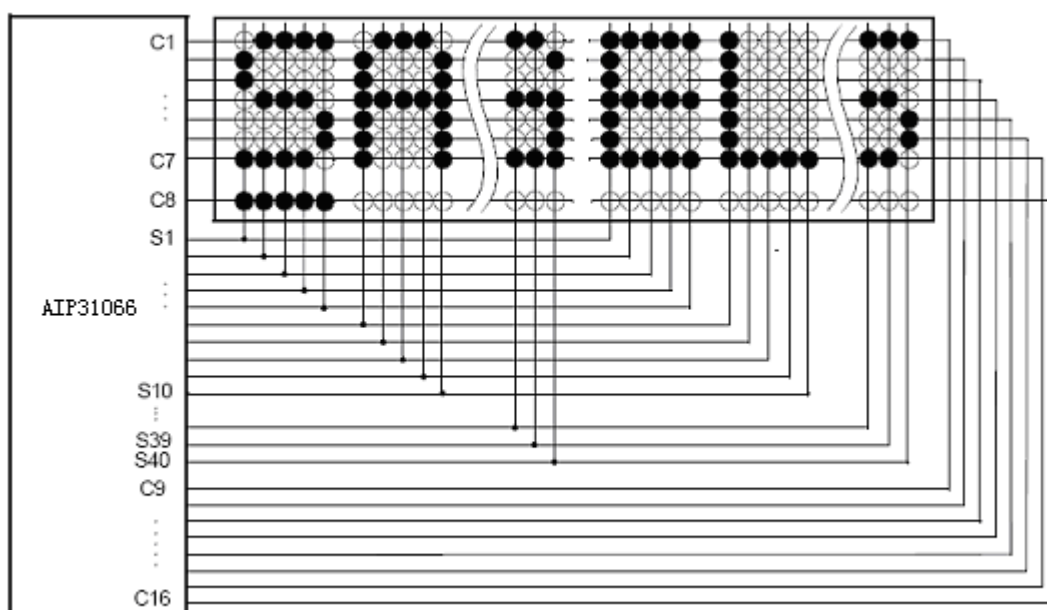




3) LCD 面板：8 字符 × 2 行，5 × 7 点阵+1 光标线（1/5 偏置，1/16 占空比）

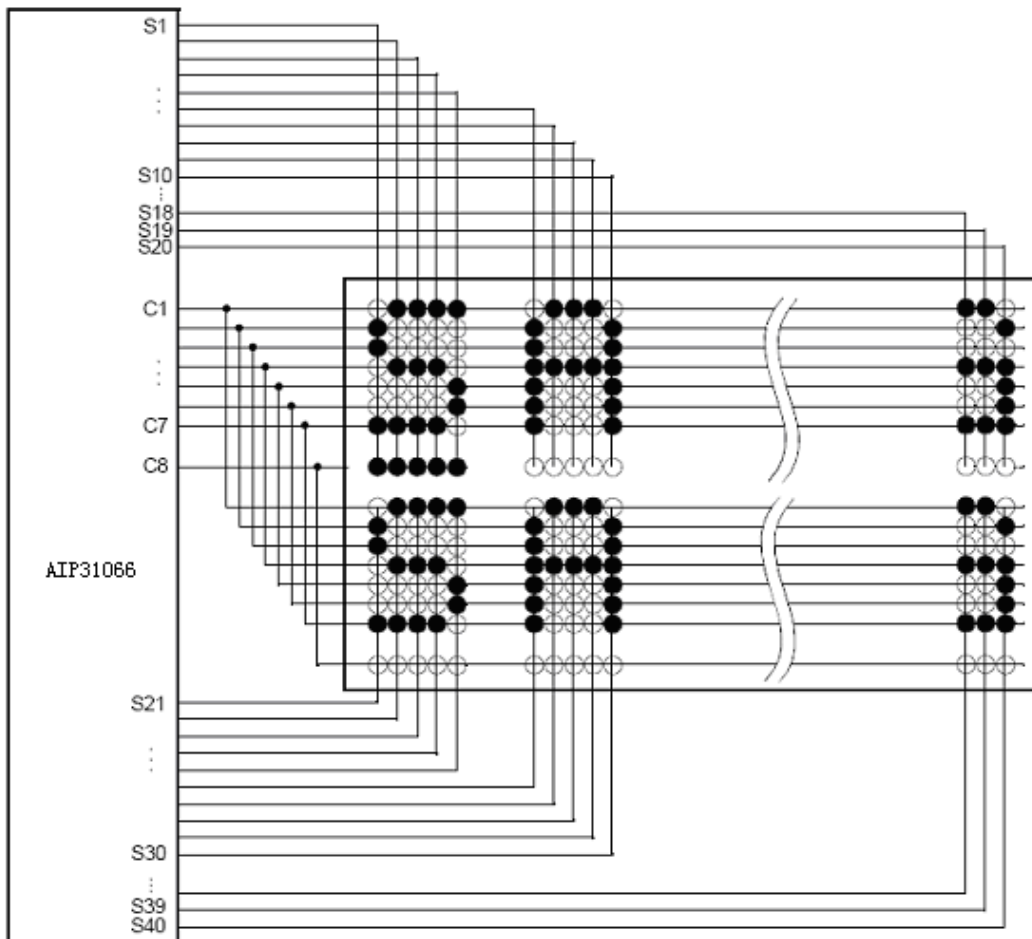


4) LCD 面板：16 字符 × 1 行，5 × 7 点阵+1 光标线（1/5 偏置，1/16 占空比）



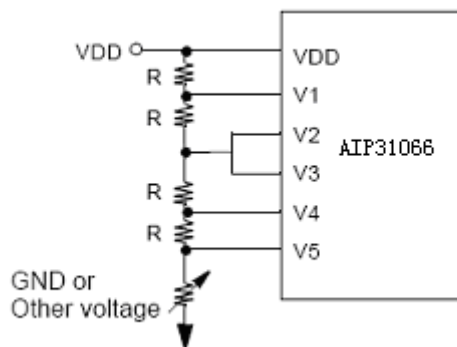


5) LCD 面板：4 字符 × 2 行，5 × 7 点阵+1 光标线（1/4 偏置，1/8 占空比）



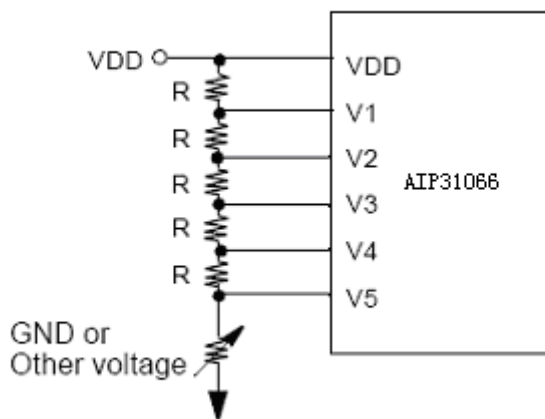
偏置电压电路

- 1/4 偏置，1/8 或 1/11 占空比





- 1/5 偏置， 1/16 占空比



初始化

上电时，AIP31066被复位电路初始化。在这个初始化过程中，执行以下指令。初始化结束前，忙标志位保持高。

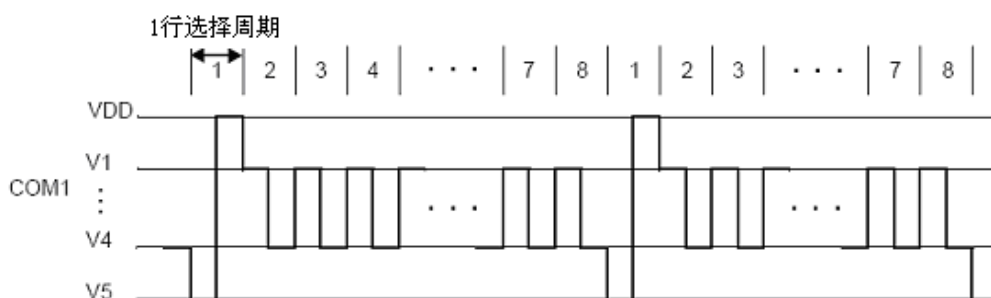
- (1)清除显示指令：所有DDRAM被写入“20H”
- (2)设置功能指令：DL=“1”，8位总线模式
N=“0”，1行显示模式
F=“0”，5 X 8 字体
- (3)显示开关指令：D=“0”：显示关
C=“0”，F光标关
B=“0”，闪烁关
- (4)设置返回模式指令：I/D=“1”，自增
SH=“0”，整个显示移位不执行

帧频

相同字体时的可编程驱动方式：A型显示波形，B型显示波形。

- 1) 1/8占空比周期

A) A型显示波形





B) B型显示波形



1行选择周期= 400 clocks

1 帧= $400 \times 8 \times 3.7 \mu s = 11850 \mu s = 11.9 \text{ ms}$ (1 clock=3.7 μs , fosc=270 kHz)

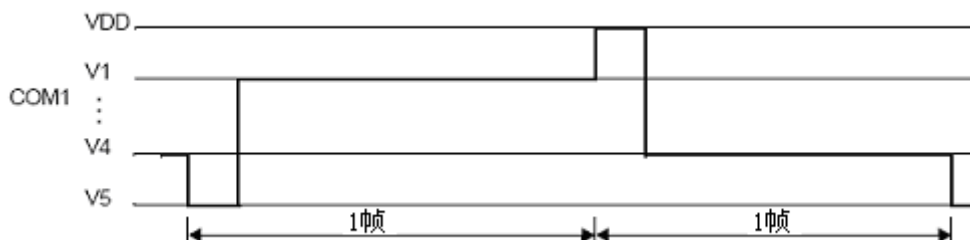
帧频 = $1 / 11.9 \text{ ms} = 84.4 \text{ Hz}$

2) 1/11 占空比周期

A) A型显示波形



B) B型显示波形



1行选择周期= 400 clocks

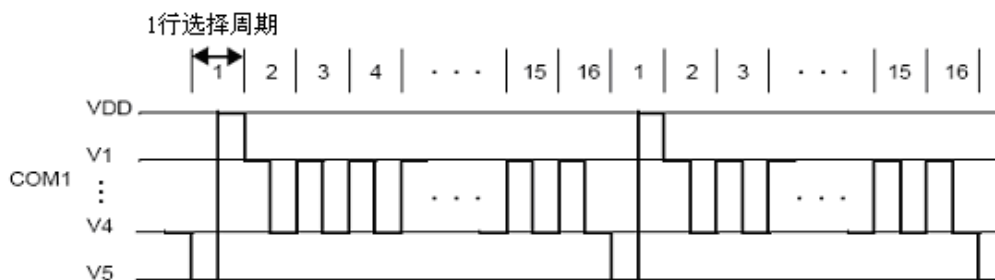
1 帧 = $400 \times 11 \times 3.7 \mu s = 16300 \mu s = 16.3 \text{ ms}$ (1 clock=3.7 μs , fosc=270 kHz)

帧频 = $1 / 16.3 \text{ ms} = 61.4 \text{ Hz}$



3) 1/16 占空比周期

A) A型显示波形



B) B型显示波形



1行选择周期= 200 clocks

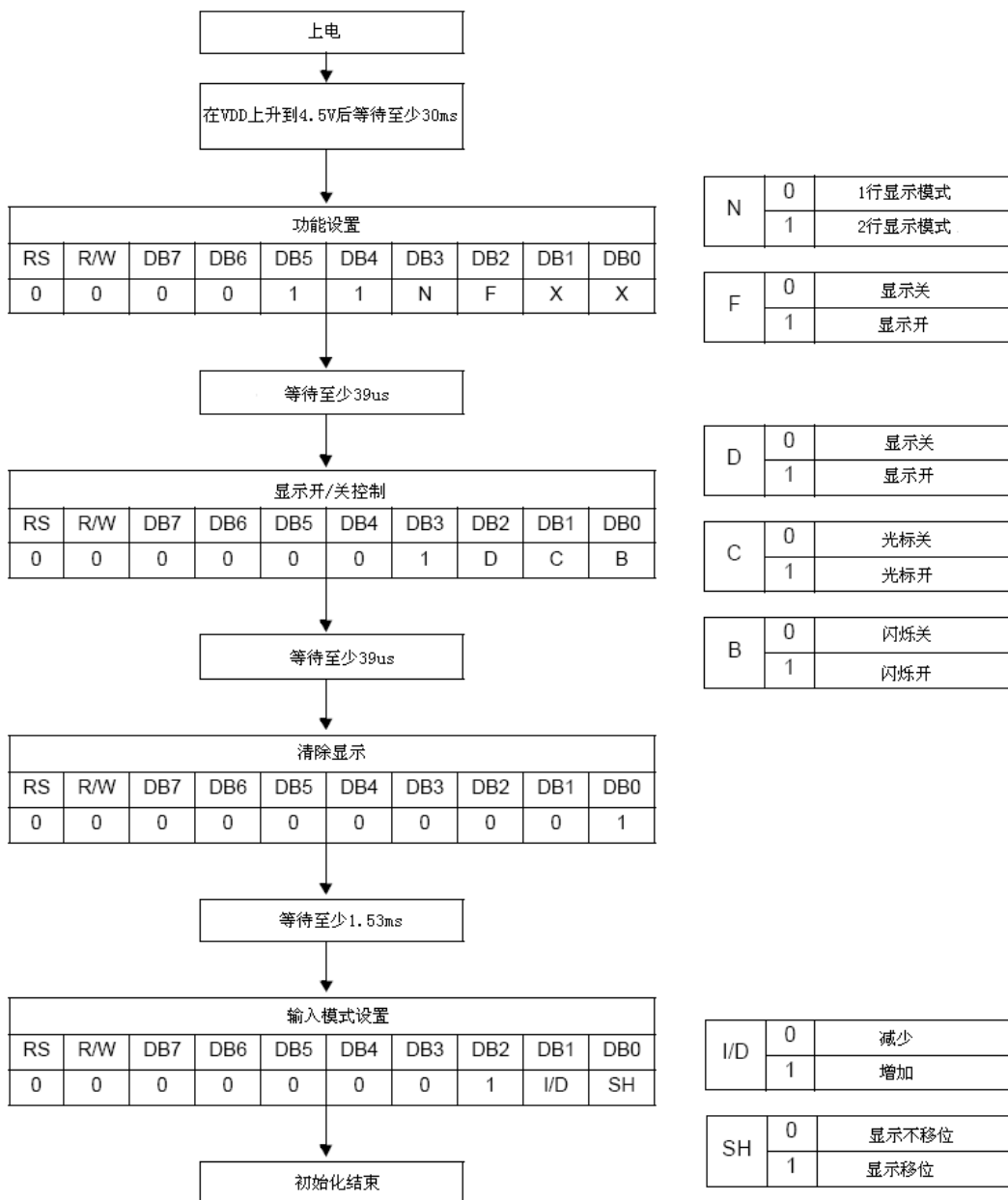
1 帧 = $200 \times 16 \times 3.7 \mu s = 11850 \mu s = 11.9 \text{ ms}$ (1 clock=3.7 μs , fosc=270 kHz)

帧频 = $1 / 11.9 \text{ ms} = 84.3 \text{ Hz}$



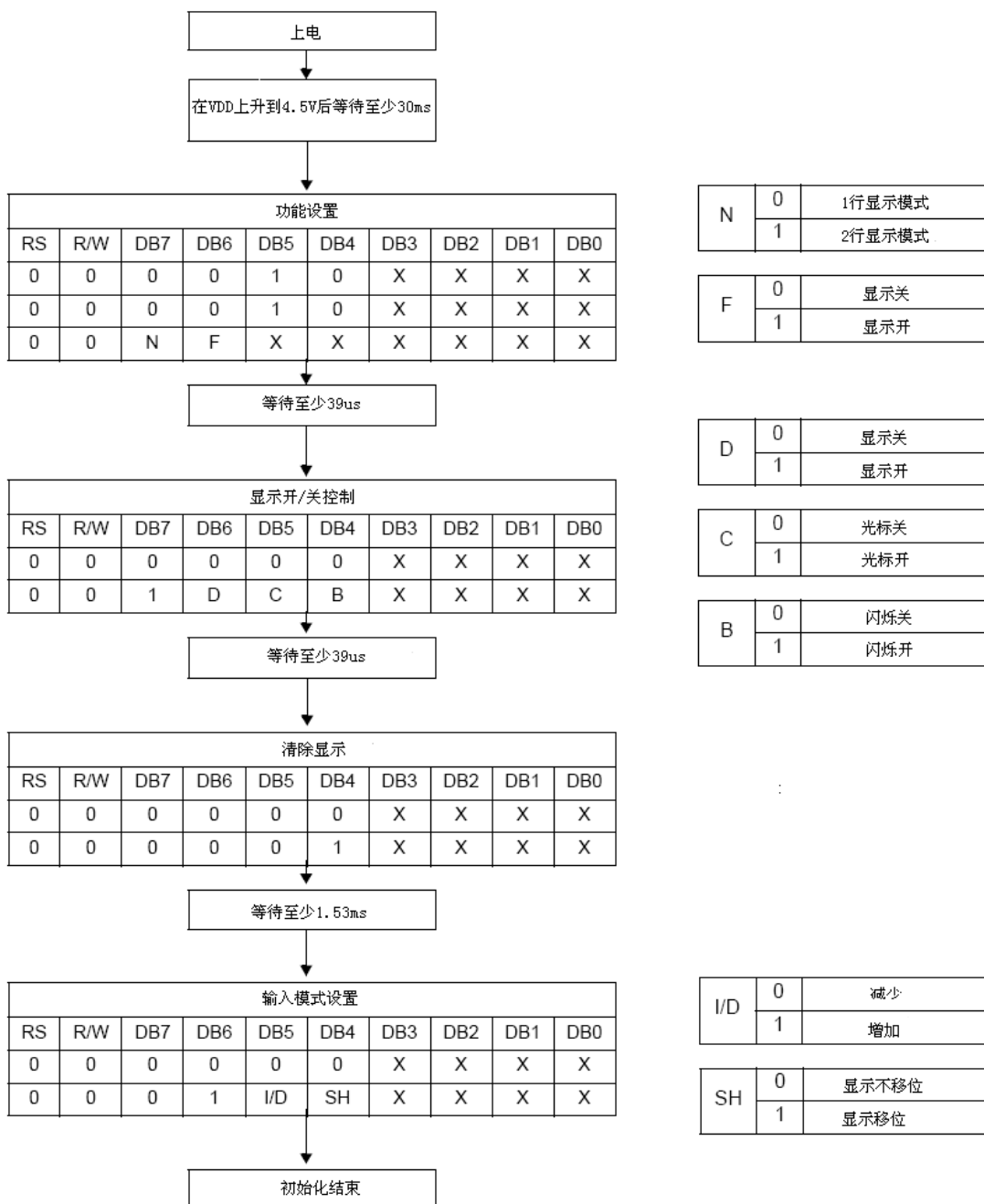
初始化指令

1) 8位接口模式 (条件: $f_{osc} = 270\text{KHZ}$)



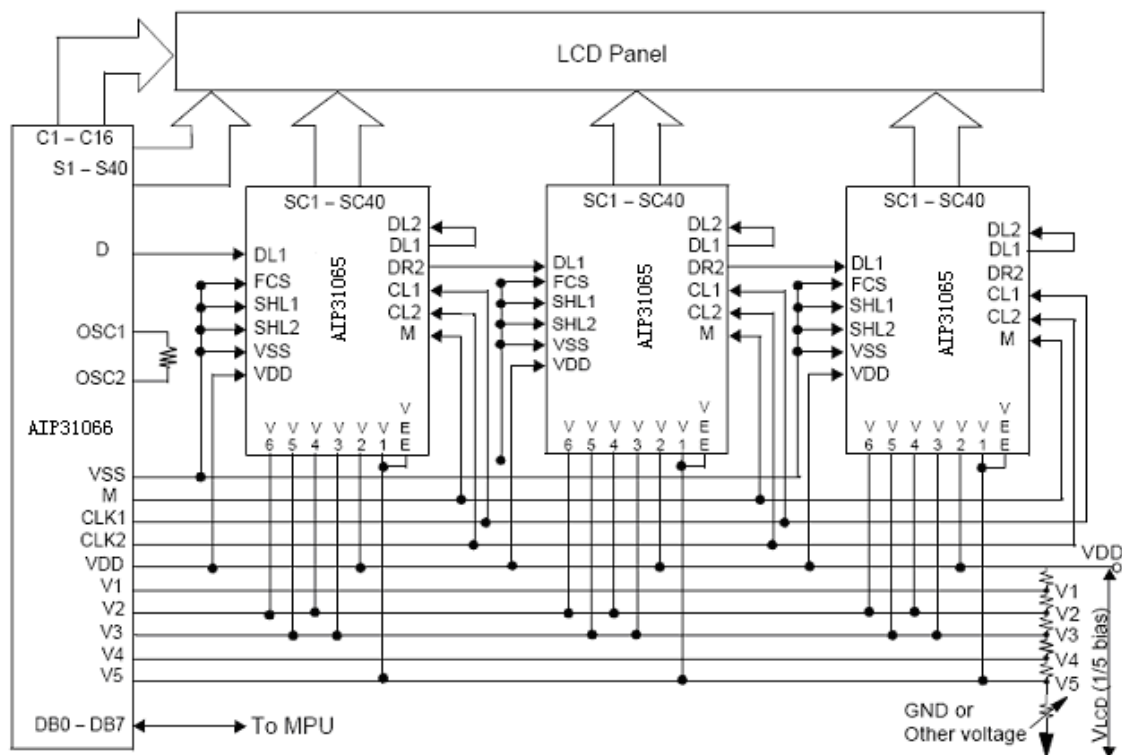


2) 4位接口模式 (条件: fosc = 270KHZ)



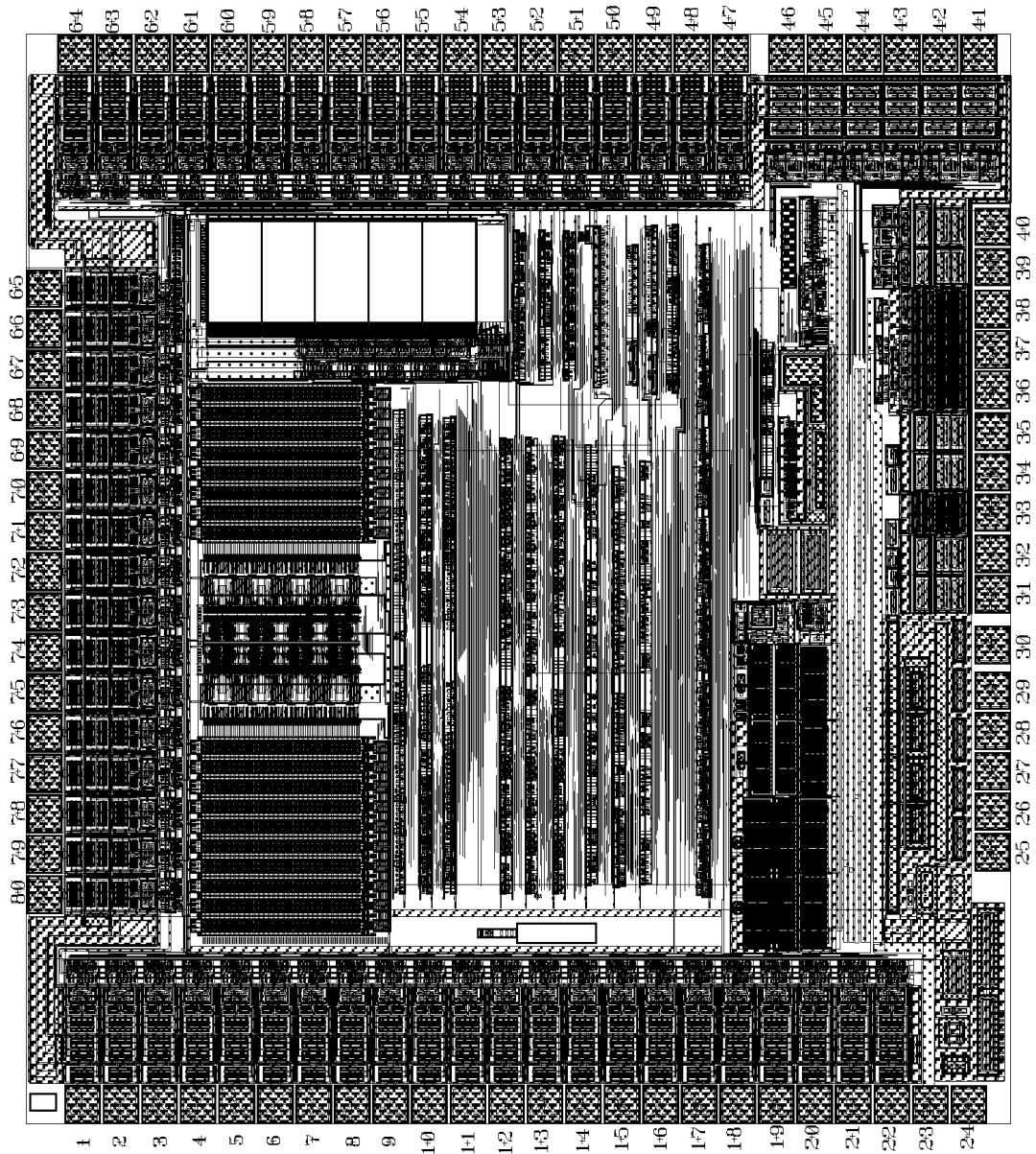


应用电路





PAD 图





PAD 坐标

序号	PAD名	X	Y	序号	PAD名	X	Y
1	S22	55.1	2769.8	41	DB2	3046.9	94.6
2	S21	55.1	2654.8	42	DB3	3046.9	209.6
3	S20	55.1	2539.8	43	DB4	3046.9	324.6
4	S19	55.1	2424.8	44	DB5	3046.9	439.6
5	S18	55.1	2309.8	45	DB6	3046.9	554.6
6	S17	55.1	2194.8	46	DB7	3046.9	669.6
7	S16	55.1	2079.8	47	C1	3046.9	835.4
8	S15	55.1	1964.8	48	C2	3046.9	950.4
9	S14	55.1	1849.8	49	C3	3046.9	1065.4
10	S13	55.1	1734.8	50	C4	3046.9	1180.4
11	S12	55.1	1619.8	51	C5	3046.9	1295.4
12	S11	55.1	1504.8	52	C6	3046.9	1410.4
13	S10	55.1	1389.8	53	C7	3046.9	1525.4
14	S9	55.1	1274.8	54	C8	3046.9	1640.4
15	S8	55.1	1159.8	55	C9	3046.9	1755.4
16	S7	55.1	1044.8	56	C10	3046.9	1870.4
17	S6	55.1	929.8	57	C11	3046.9	1985.4
18	S5	55.1	814.8	58	C12	3046.9	2100.4
19	S4	55.1	699.8	59	C13	3046.9	2215.4
20	S3	55.1	584.8	60	C14	3046.9	2330.4
21	S2	55.1	469.8	61	C15	3046.9	2445.4
22	S1	55.1	354.7	62	C16	3046.9	2560.4
23	GND	55.1	239.7	63	S40	3046.9	2675.4
24	OSC1	55.1	124.7	64	S39	3046.9	2790.4
25	OSC2	773.7	55.1	65	S38	2377.6	2882.8
26	V1	888.7	55.1	66	S37	2262.6	2882.8
27	V2	1003.7	55.1	67	S36	2147.6	2882.8
28	V3	1118.7	55.1	68	S35	2032.6	2882.8
29	V4	1233.7	55.1	69	S34	1917.6	2882.8
30	V5	1363.4	55.1	70	S33	1802.6	2882.8
31	CLK1	1507.4	55.1	71	S32	1687.6	2882.8
32	CLK2	1622.4	55.1	72	S31	1572.6	2882.8
33	VDD	1740.3	55.1	73	S30	1457.6	2882.8
34	M	1855.3	55.1	74	S29	1342.6	2882.8
35	D	1970.3	55.1	75	S28	1227.6	2882.8
36	RS	2089.4	55.1	76	S27	1112.6	2882.8
37	R_W	2204.4	55.1	77	S26	997.6	2882.8
38	E	2319.4	55.1	78	S25	882.6	2882.8
39	DB0	2438.8	55.1	79	S24	767.6	2882.8
40	DB1	2553.8	55.1	80	S23	652.6	2882.8



封装图(QFP80-20×14-0.8)

