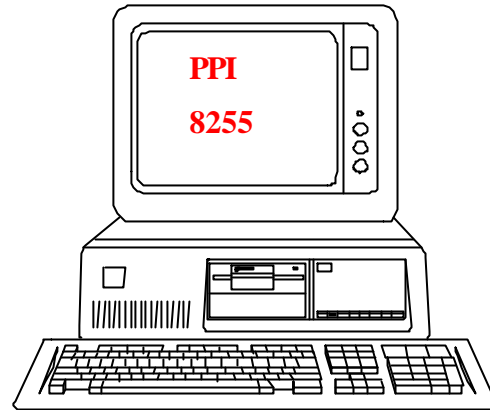


Programmierbarer paralleler Interfaceschaltkreis PPI 8255



Inhalt:

1. Leistungsmerkmale
2. Architektur
3. Pinbelegung
4. Programmierung
 - 4.1. Mode 0
 - 4.2. Mode 1
 - 4.3. Mode 2
 - 4.4. Einzelbitausgabe für Port C

1. Leistungsmerkmale

Der programmierbare parallele Schnittstellenschaltkreis 8255 ist ein universell verwendbarer Peripheriebaustein, der drei einzelne Ports A, B und C enthält und in drei verschiedenen Betriebsarten (Modi) programmierbar ist.

- 3 programmierbare Ein/Ausgabeports; Port A,B,C
- 3 Betriebsarten
 - Mode 0: Byte Input/Output
 - Mode 1: Strobed Input/Output
 - Mode 2: Strobed bidirectional BUS
- Einzelbit Set/Reset-Operation an Port C
- Interruptauslösung in Mode 1 und 2 in Verbindung mit einem Interruptcontroller 8259
- kein Systemtakt erforderlich

2. Architektur

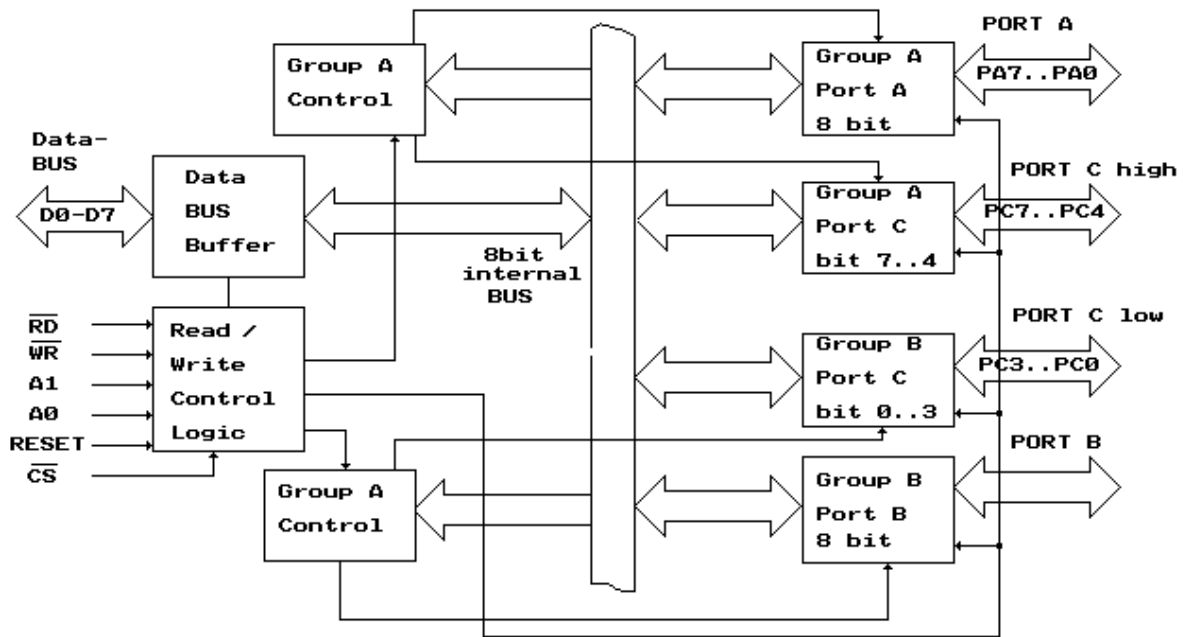


Bild 1: Architektur PPI 8255

Der **Datenbuspuffer** stellt die Schnittstelle zum Systemdatenbus dar. Das Senden und Empfangen von Daten erfolgt mit IN/OUT-Operationen der CPU. Über den Datenbuspuffer werden zwei Basisfunktionen des PPI ausgeführt:

- Programmieren des Mode
- Lesen oder Schreiben von Daten in oder von den Ports A, B oder C.

Die **Les/Schreib-Logik** verarbeitet die Informationen der Eingänge Read, Write und Chip Select. Die zwei Adreßeingänge A1 und A0 dienen zur internen Adressierung der 3 Ports sowie der Erkennung des Steuerbytes.

A1	A0	Funktion
0	0	Port A
0	1	Port B
1	0	Port C
1	1	Steuerbyte (nur Schreiben)

Tabelle 1: 8255 Basisportadressen

Die Programmierung des Schaltkreises erfolgt mit einem Steuerbyte.

3. Pinbelegung

Der PPI 8255 wird in einem 40-poligen DIL-Gehäuse gefertigt. Die Anschlüsse (Bild 1) haben folgende Funktionen:

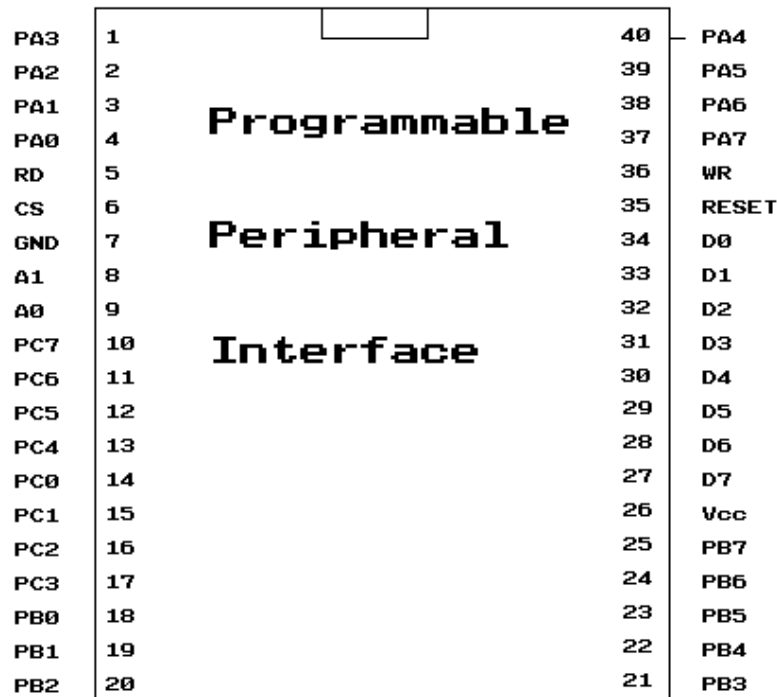


Bild 2 : Pinbelegung des Schaltkreises PPI 8255

D7..D0 8Bit-Datenbus bidirektional;

— tristate

RD Readsignal (Inputoperation)

— low aktiv

WR Writesignal (Outputoperation)

— low aktiv

CS Chip Select Steuersignal zur Bausteinauswahl

— low aktiv

RESET Rücksetzen; Löscht das Steuerbyteregeister und schaltet

alle Portanschlüsse als Eingang; Eingang high aktiv

A1,A0 Adreßeingänge zur Portauswahl; (Tabelle 1)

PA0-PA7 Port A

$U_{OL} \leq 0,45V, I_{OL} \leq 1,7mA$

$U_{OH} \geq 2,40V, I_{OH} \geq -200\mu A$

PB0-PB7 Port B

PC0-PC7 Port C

Port B,C Darlington-Strom $R_{ext} = 750\hat{U}$

$U_{ext} = 1,5V$

$I = -1,0..-4,0mA$

Vcc Betriebsspannung +5V

GND Masseanschluß



4. Programmierung

Die Programmierung des 8255 erfolgt mit Hilfe eines Steuerbytes zur Programmierung der entsprechenden Betriebsarten der Ports A,B und C . Mit einem zweiten Steuerbyte wird die Einzelbit-Ausgabe über Port C realisiert.

Modesteuerbyte:

Aufbau des Steuerbytes:

D7 D6 D5 D4 D3 D2 D1 D0

Gruppe A Gruppe B

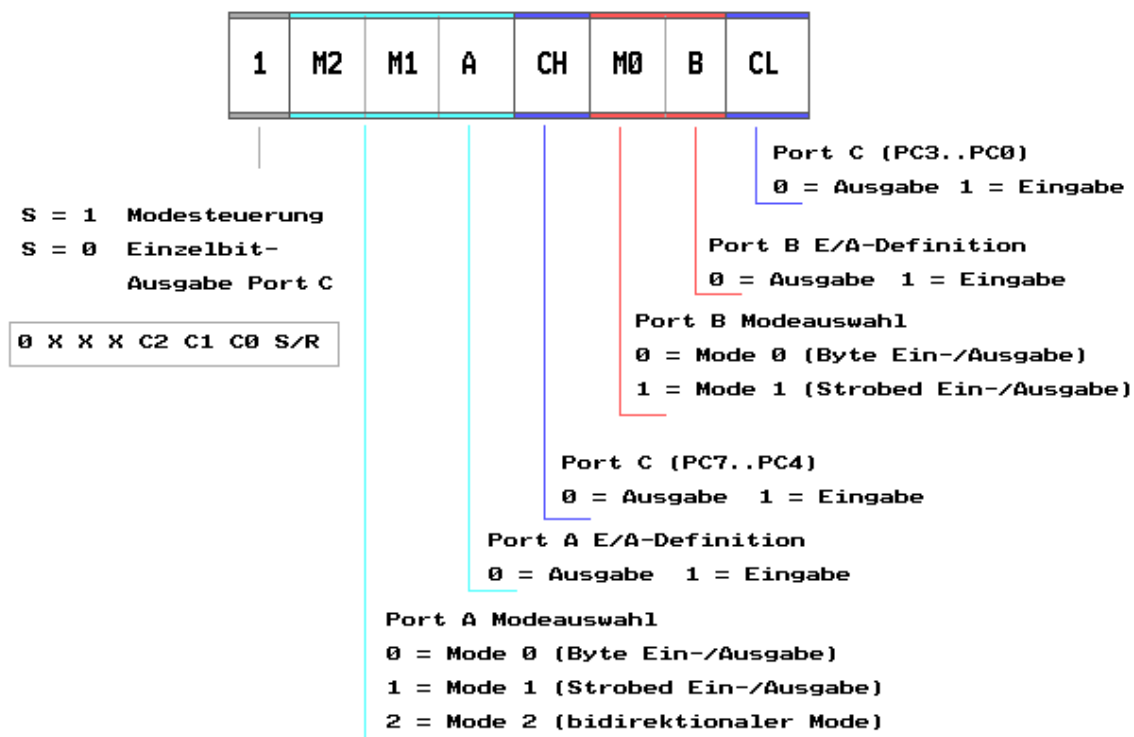
Modesteuerung ⇒ S=1 M2 M1 A CH M0 B CL

Einzelbit-Ausgabe ⇒ S=0 X X X C2 C1 C0 S/R

Port C

Modesteuerung S=1

Moderegister PPI 8255



mögliche Betriebsarten:

Port A: Mode 0 oder 1 oder 2

Port B: Mode 0 oder 1

Port C: Mode 0 oder Einzelbitausgabe



4.1. Mode 0 Byte Input/Output

Im Mode 0 werden Ein-/Ausgabe-Operationen ohne Quittung vorgenommen. Sind z.B. alle Ports des 8255 im Mode 0 programmiert ($M2=M1=M0=0$), so stehen folgende Ein-/Ausgaben zur Verfügung:

- zwei 8Bit-Ports für Byte Ein-/Ausgabe (Port A,B)
- zwei 4Bit-Ports für Halbbyte Ein-/Ausgabe (Port C)

Die Portausgänge sind gelatcht, die Porteingänge sind nicht gelatcht.

4.2. Mode 1 Strobed Input/Output

Die Ports A und B arbeiten als Ein- oder Ausgabeports im Quittungsbetrieb in Verbindung mit dem Port C, welches die Handshake-Signale verwaltet. In den quittungsgesteuerten Ein-/Ausgaben kann vom 8255 eine Interrupt-Anforderung an den PIC 8259 angemeldet werden. Die Interruptfreigabe des 8255 wird durch ein internes INTE-Flip-Flop organisiert, welches durch Einzelbit Set/Reset-Operationen von Port C aus beeinflußt werden kann.

- Bit-Set = Interrupt Freigabe
- Bit-Reset = Interrupt Sperre

Die entsprechenden Steuersignale haben im Mode 1 folgenden Funktionen:

Steuersignale für Port-Input-Operationen:

STB Strobe, Eingang, low aktiv; STB=low lädt die Daten in das Port-Eingangslatch.

IBF Input Buffer Full; Ausgang, low aktiv

High notiert, daß Daten in das Eingangslatch geladen worden sind und stellt somit ein Bestätigungssignal dar.

IBF wird mit STB=low gesetzt und mit RD (low->high) zurückgesetzt.

INTR Interrupt Request, Ausgang, high aktiv

INTR wird gesetzt, wenn nach dem Latchen der Port-Eingabedaten STB und IBF gleich high sind. In der darauf eingeleiteten Interrupt-Service-Routine mit dem Lesen der Port-Eingabe-Daten wird INTR mit RD (high->low) zurückgesetzt. Die INTE-Flip-Flops von Port A und B werden kontrolliert durch:

INTE Port A: Bit Set/Reset PC4

INTE Port B: Bit Set/Reset PC2

Steuersignale für Port-Output-Operationen

OBF Output-Buffer Full, Ausgang, low aktiv

OBF aktiv = low notiert, daß die CPU Daten in das Port geschrieben hat, die an den Portausgängen gültig bereitstehen.

Die Aktivierung von OBF erfolgt nach WR (low->high).

ACK Acknowledge Input, Eingang, low aktiv

ACK = low notiert, daß die Peripherie vom 8255 die gültigen Daten übernommen hat. Mit ACK = low wird OBF wieder inaktiv d.h. OBF=high.

INTR Interrupt Request, Ausgang, high aktiv

Mit OBF = high und ACK = high löst ein aktives INTR = high einen Interrupt aus, der in der Interrupt-Service-Routine zum Schreiben neuer Port-Ausgabe-Daten führen kann.



Mit der high-low Flanke von WR wird INTR wieder inaktiv d.h. INTR = low. Am Ende des Bestätigungszyklusses mit der low-high Flanke von ACK wird INTR wieder aktiv d.h. INTR = high und damit wird ein neuer Interrupt ausgelöst.

Die INTE-Flip-Flops von Port A und Port B werden kontrolliert durch:

INTE Port A: Bit/Reset PC6

INTE Port B: Bit/Reset PC2

Die entsprechenden Varianten der Programmierung im Mode 1, getrennt nach Port A und Port B, jeweils für Eingang/Ausgang zeigen die folgenden Bilder.

Informationen über den Zustand der Bestätigungssignale IBF, OBF, des Interrupt-Freigabe-FF INTE und der Interrupt Anforderung INTR erhält man durch Lesen eines Statusbytes von Port C (Tabelle 3).

Format der Statusinformation Mode 1 (IN Port C)

Für Port-Eingabe

D7	D6	D5	D4	D3	D2	D1	D0
E/A	E/A	IBFA	INTEA	INTRA	INTEB	BFB	INTRB
Gruppe A				Gruppe B			

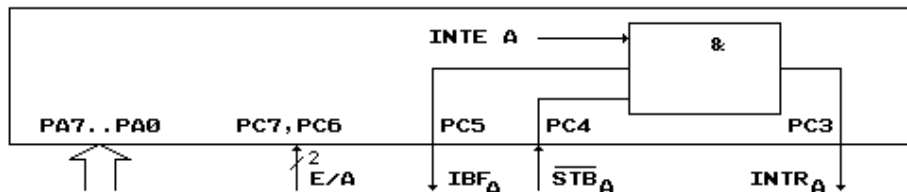
Für Port-Ausgabe

D7	D6	D5	D4	D3	D2	D1	D0
OBFA	INTEA	E/A	E/A	INTRA	INTEB	OBFB	INTRB
Gruppe A				Gruppe B			

MODE 1, PORT A INPUT

D7	D6	D5	D4	D3	D2	D1	D0	Mode- steuerbyte
1	0	1	1	E/A	x	x	x	

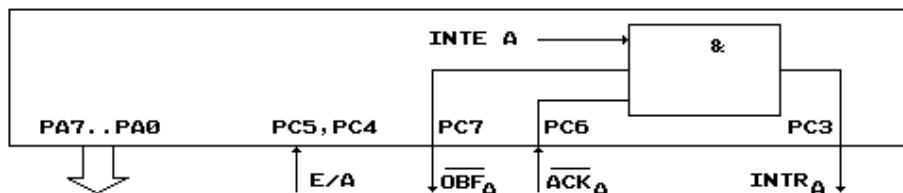
PC6,7: 1=Input 0=Output



MODE 1, PORT A OUTPUT

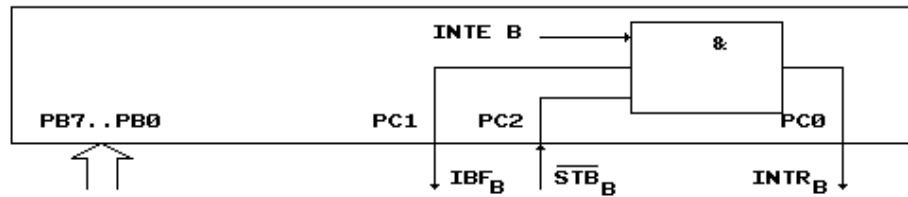
D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0	E/A	x	x	x

PC4,5: 1=Input 0=Output



MODE 1, PORT B INPUT

D7	D6	D5	D4	D3	D2	D1	D0	Mode- steuerbyte
1	x	x	x	x	1	1	x	


MODE 1, PORT B OUTPUT

D7	D6	D5	D4	D3	D2	D1	D0
1	x	x	x	x	1	0	x

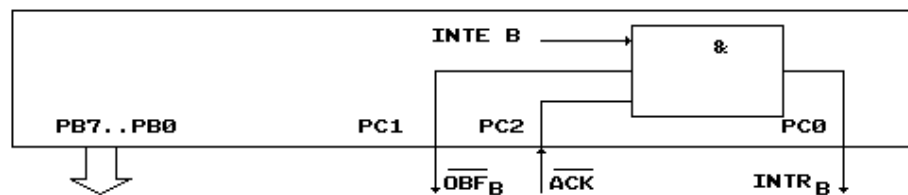


Bild 4: Mode 1, Port B

4.3. Mode 2 Strobed bidirektional BUS

Die bidirektionale Port-Eing-/Ausgabe im Quittungsbetrieb wird nur über Port A realisiert. Am Port C befinden sich die Steuersignale für die Ausgabe OBFA und ACKA (beide low aktiv) und für die Eingabe STBA (low aktiv) und IBFA (high aktiv) und das Interrupt-Anforderungssignal INTRA. Die Interrupt-Freigabe-FF werden wiederum mit den Bit-Set-Resetfunktionen von Port C beeinflusst.

Ausgabe: Bit Set/Reset PC6 (INTE1)

Eingabe: Bit Set/Reset PC4 (INTE2)

Das Modesteuerbyte für den Mode 2 hat den folgenden Aufbau:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	x	x	1/0	1/0		

PC0..2

1: Input

0: Output

Port B E/A-Definition

1: Input

0: Output

Port B Mode-Definition

1: Mode 1

0: Mode 0

Ist der Mode 2 für das Port A programmiert, kann man Port B noch wie folgt verwenden:

Mode 1: Strobed Input/Output mit den Handshake-Signalen an PC0, PC1 und PC2

Mode 0: Byte Input/Output für PB0..PB7 mit freiwählbaren Leitungen an PC0..PC2

Das Format der Statusinformation von Mode 2 ist folgendes:

D7	D6	D5	D4	D3	D2	D1	D0
OBFA	INTE1	IBFA	INTE2	INTRA	xx	xx	xx
Gruppe A				Gruppe B			

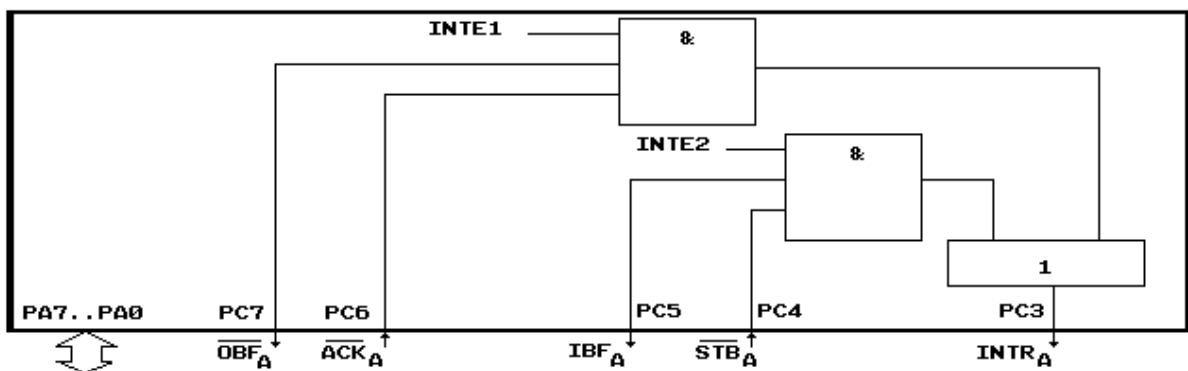


Bild : Mode 2 von Port A

4.4. Einzelbitausgabe für Port C

Jedes der 8 Bit von Port C kann einzeln gesetzt oder rückgesetzt werden durch Einzelbit-Ausgabe-Operationen von Port C unter der Bedingung S=0 beim Modesteuerbyte.

Damit ist es möglich in den Handshake-Betriebsarten Mode 1 oder 2, in denen Port C als Status/Control-Byte für Port A oder B verwendet wird, die Interruptlogikbits INTE-A, INTE-B, INTE1 und INTE2 gezielt zu beeinflussen. Alle anderen Statusbits sind nicht durch Einzelbit-Ausgaben beeinflussbar.

C2	C1	C0	Bitauswahl Port C	S/R Setz-/Rücksetzfunktion PC7..PC0
0	0	0	Portleitung PC0	0 rücksetzen
0	0	1	Portleitung PC1	1 setzen
0	1	0	Portleitung PC2	
0	1	1	Portleitung PC3	
1	0	0	Portleitung PC4	
1	0	1	Portleitung PC5	
1	1	0	Portleitung PC6	
1	1	1	Portleitung PC7	